



# CS21354/CS21554用户手册

## (V1.0)

深圳市芯海科技有限公司  
2004年12月18日



## 目 录

1. CS21354/CS21554 的主要特征.....	8
2. 功能描述.....	8
3. 系统框图.....	8
4. 引脚定义.....	10
引脚顶层图.....	10
引脚描述.....	10
5. 寄存器映射表.....	15
错误计数寄存器.....	20
双极性 (BPV) 或编码错误 (CV) 计数器 (VCI ~ 2) .....	20
CRC 错误计数器(CRCC1 ~ 2).....	21
E-bit 计数器 (EBC1 ~ 2) .....	21
FAS 错误计数器(FASC1 ~ 2).....	21
状态及信息寄存器.....	22
状态寄存器 1 (STATE1) .....	23
状态寄存器 2 (STATE2) .....	23
接收信息寄存器 (RI) .....	24
CS21354/CS21554 版本寄存器 (ID) .....	25
接收控制寄存器 1 (RC1) .....	25
接收控制寄存器 2 (RC2) .....	26
发送控制寄存器 1 (XC1) .....	26
发送控制寄存器 2 (XC2) .....	27
通用控制寄存器 1 (GCR1) .....	28
中断控制寄存器 1 (ICR1) .....	29
中断控制寄存器 2 (ICR2) .....	29
线缆接口控制寄存器 (LIC) .....	30
通用控制寄存器 2 (GCR2) .....	31
通用控制寄存器 3 (GCR3) .....	31
Sa 插入控制寄存器 (XsaC) .....	32
通用控制寄存器 6 (GCR6) .....	33
同步状态寄存器 (SYNCR) .....	34
接收非帧对位字寄存器 (RNAF) .....	34
发送帧对位字寄存器名称 (TAF) .....	35
发送非帧对位字寄存器 (TNAF) .....	35
基于硬件的信令处理.....	35
时钟阻塞寄存器.....	36
发送时钟阻塞寄存器 (XCB1 ~ 4) .....	37
单通道编码产生.....	37
发送侧编码产生.....	37
发送空闲寄存器 (XI1 ~ 4) .....	37
发送空闲选择寄存器 (XID) .....	38
接收时钟阻塞寄存器 (RCB1 ~ 4) .....	38



基于双帧的内部寄存器操作 .....	38
接收帧对位字寄存器 (RAF) .....	39
CS21354/CS21554 信令操作 .....	39
处理器方式信令操作 .....	39
接收信令寄存器 (RS1 ~ 16) .....	39
发送信令寄存器(XS1 ~ 16) .....	40
CRC4 复帧的内部寄存器操作 .....	41
发送信道控制寄存器(XC1 ~ 32) .....	42
接收信道控制寄存器(RC1 ~ 32) .....	42
发送数据插入控制寄存器 (XCCI ~ 4) .....	43
接收数据插入控制寄存器名 (RCC1 ~ 4) .....	43
通用控制寄存器 4 (GCR4) .....	43
DS0 监控寄存器 .....	44
发送端 DS0 监控寄存器 (XDS0) .....	44
接收端 DS0 监控寄存器 (RDS0) .....	44
通用控制寄存器 5 (GCR5) .....	45
测试控制寄存器 4 (TEST4) .....	46
阻抗匹配 .....	46
高阻增益 .....	46
HDLC 控制器 .....	47
弹存操作 .....	47
接收侧弹存操作 .....	47
发送侧弹存操作 .....	47
SA 及 Si 比特操作 .....	48
Sa 及 Si 比特操作硬件模式 .....	48
JTAG 边界扫描结构及测试接口描述 .....	48
JTAG 边界扫描测试过程说明 .....	49
总线交织控制寄存器 .....	52
PCM 交织总线操作寄存器 (IBC) .....	53
<b>6. 线路接口电路功能 .....</b>	<b>54</b>
接收端时钟数据恢复 .....	54
发送脉冲成型 .....	54
抖动衰减 .....	56
<b>7. CS21354/CS21554 的环回功能描述 .....</b>	<b>57</b>
远端环回 (Remote Loopback) .....	57
帧环回 (Framer Loopback) .....	58
数字本地环回 (Local Loopback) .....	58
<b>8. CS21354/CS21554 接口时序 .....</b>	<b>58</b>
接收侧时序图 .....	58
接收端基本时序图 .....	58
接收端边界时序 1 (接收弹性缓存禁止) .....	59
接收侧 2.048MHz 边界时序图 2 (接收端弹性缓存使能) .....	59
接收侧总线交织 (字节模式, Byte - mode) 时序图 .....	59
接收侧总线交织帧模式 (Frame - mode) 时序图 .....	60
接收端接口时序特性 .....	61
接收端管脚时序 .....	62
接收端系统接口详细时序图 .....	62



接收端 LIU 接口时序 .....	62
发送端时序 .....	63
发送端基本时序图 .....	63
发送端边界时序 1 (发送弹性缓存禁止) .....	63
发送端 2.048MHz 边界时序 (发送弹性缓存使能) .....	64
发送端字节交织模式 (Byte - mode) 总线时序图 .....	64
发送端帧交织模式 (Frame - mode) 总线时序图 .....	65
CS21354/CS21554 工作在 G.802 模式下的时序图 .....	66
发送端时序特性参数及时序图 .....	66
发送端详细时序 .....	67
发送端系统接口时序 .....	67
发送端线路接口时序 .....	68
CPU 接口时序特性及时序图 .....	68
数据、地址总线复用接口特性及时序图 .....	68
总线复用模式时, INTEL、MOTOROLA 读写时序图 .....	69
数据总线、地址总线非复用 CPU 接口时序特性及时序图 .....	70
数据总线、地址总线非复用 CPU 接口读写时序图 .....	70
9. CS21354/CS21554 的同步搜索流程图 .....	71
10. CS21354/CS21554 发送成帧流程图 .....	72
11. 极限工作条件及电气特性 .....	74
极限工作条件 .....	74
CS21354/CS21554 电气特性 .....	74
CS21554 电气特性 .....	74
<b>安全警告</b> .....	75
12. CS21354/CS21554 的封装 .....	76
13. 附录 1 : 缩略语 .....	78



## 表 格

表 1 引脚描述表	10
表 2 寄存器映射表	15
表 3 CS21354/CS21554 标识寄存器 ID	20
表 4 双极性/编码错误计数器 (VC1~2)	20
表 5 CRC 错误计数器(CRCC1~2)	21
表 6 E - BIT 计数器 (EBC1~2)	21
表 7 FAS 错误计数器(FASC1~2)	22
表 8 状态寄存器 1 (STATE1)	23
表 9 接收报警检测标准	23
表 10 状态寄存器 2 (STATE2)	24
表 11 接收信息寄存器 (RI)	24
表 12 CS21354/CS21554 标志寄存器 (ID)	25
表 13 接收控制寄存器 (RC1)	25
表 14 同步及再同步标准	25
表 15 接收控制寄存器 2 (RC2)	26
表 16 发送控制寄存器 1 (XC1)	26
表 17 发送控制寄存器 2 (XC2)	27
表 18 通用控制寄存器 1 (GCR1)	28
表 19 中断控制寄存器 1 (ICR1)	29
表 20 中断控制寄存器 2 (ICR2)	29
表 20 线缆接口控制寄存器	30
表 21 通用控制寄存器 2 (GCR2)	31
表 22 通用控制寄存器 3 (GCR3)	31
表 23 SA 插入控制寄存器 (XSAC)	32
表 24 通用控制寄存器 6 (GCR6)	33
表 25 同步状态寄存器 (SYNCR)	34
表 26 接收非帧对位字寄存器 (RNAF)	34
表 27 发送帧对位字寄存器名称 (TAF)	35
表 28 发送非帧对位字寄存器 (TNAF)	35
表 29 发送时钟阻塞寄存器 (XCB1~4)	37
表 30 发送空闲寄存器 (XI1~4)	38
表 31 接收时钟阻塞寄存器 (RCB1~4)	38
表 32 接收帧对位字寄存器 (RAF)	39
表 33 接收信令操作寄存器 (RS1~16)	39
表 34 发送信令操作寄存器 (XS1~16)	40
表 35 发送信道控制寄存器(XC1~32)	42
表 36 接收信道控制寄存器(RC1~RC32)	42
表 37 发送数据插入控制寄存器 (XCC1~4)	43
表 38 接收数据插入控制寄存器名 (RCC1~4)	43
表 39 通用控制寄存器 4 (GCR4)	43
表 40 发送端 DS0 监控寄存器 (XDS0)	44
表 41 接收端 DS0 监控寄存器 (RDS0)	45
表 42 通用控制寄存器 5 (GCR5)	45



芯海科技

表 43	测试控制寄存器 4 (TEST4)	46
表 44	PCM 交织总线操作寄存器 (IBC)	53
表 45	E1 脉冲波形模板要求	54
表 46	LIC 寄存器设置与应用对应表	55
表 46	接收端接口时序特性参数	61
表 47	发送端时序特性参数表	67
表 48	数据、地址总线复用接口时序参数表	68
表 49	数据总线、地址总线非复用 CPU 接口时序特性参数表	70
表 50	CS21354/CS21554 电气特性参数	74
表 51	CS21554 电气特性参数	74



## 图 表

图 1 CS21354/CS21554 系统框图	9
图 2 CS21354/CS21554 外部引脚的实际排列时序	10
图 3 CS21354 内部匹配阻抗及接收增益应用原理图	47
图 4 CS21354/CS21554 JTAG 边界扫描测试功能框图	49
图 5 JTAG 边界扫描测试流程图	52
图 6 8.192MHz 总线共享实例图	53
图 7 输出波形模板	55
图 8 CS21354/CS21554 外部连接图	55
图 9 CS21354/CS21554 抖动衰减容限	56
图 10 抖动衰减性能	57
图 11 CS21354/CS21554 实际参数抖动衰减	57
图 11 CS21354/CS21554 远端环回图	58
图 12 CS21354/CS21554 帧环回图	58
图 13 CS21354/CS21554 本地环回图	58
图 14 接收端时序图	58
图 15 接收端边界时序图 1 (接收侧弹存禁止)	59
图 16 接收端 2.048MHz 边界时序图(接收侧弹存使能)	59
图 19 接收端详细时序图	62
图 20 接收端系统接口详细时序图	62
图 21 接收端 LIU 接口详细时序图	63
图 22 发送端基本时序图	63
图 23 发送端边界时序 1 (发送端弹性缓存禁止)	64
图 24 发送端 2.048MHz 边界时序图 (发送弹性缓存使能)	64
图 25 发送端字节交织模式 (BYTE - MODE) 总线时序图	65
图 26 发送端帧交织模式 (FRAME - MODE) 总线时序图	66
图 27 CS21354/CS21554 工作在 G.802 模式时的时序图	66
图 28 发送端详细基本时序	67
图 29 发送端系统接口详细时序	68
图 30 发送端 LIU 接口时序	68
图 31 INTEL 总线读时序 (BTS = 0/MUX = 1)	69
图 32 INTEL 总线写时序 (BTS = 0/MUX = 1)	69
图 33 MOTOROLA 总线时序 (BTS = 1/MUX = 1)	69
图 34 INTEL 总线读时序	70
图 35 INTEL 总线写时序	70
图 36 MOTOROLA 总线读时序	71
图 37 MOTOROLA 总线写时序	71
图 35 CS21354/CS21554 接收同步过程图	72
图 36 CS21354/CS21554 发送数据流程图	74
图 37 封装尺寸图	76



## CS21354/CS21554用户手册

### 1. CS21354/CS21554的主要特征

CS21354/CS21554是一路的E1 PCM - 30/ISDN-PRI收发器，集成时钟/数据恢复及发送E1脉冲成型的片内线路接口单元（LIU）及E1帧处理器（Framer）。主要功能包括：

线路接口电路（LIU）接收方向完成数据、时钟的恢复、HDB3解码，并对时钟进行抖动衰减；发送方向完成数据HDB3编码、E1脉冲成型及线路驱动。

帧处理器（FRAMER）完全独立的E1发送和接收功能，支持CRC4，FAS，CAS的E1帧结构。功能包括：

CRC4，FAS，CAS的成帧、解帧

完成CAS信令及CRC4复帧的Sa、Si比特提取和插入

检测并产生远端报警（RA）和AIS报警

支持部分E1，H0，H12应用的可编程输出时钟

用于极性错误（BPV）或编码错误（CV）、CRC4码字错误、FAS错误及E比特错误的计数器

提供多路E1的PCM码交织总线接口（PCM Interleave）

提供4种CPU接口模式，包括INTEL或MOROLA数据、地址复用或非复用总线模式

提供有64字节缓存的HDLC控制器，可以用于Sa位、第0时隙DS0或次0时隙信令控制

提供4个分离的测试环回，以及符合IEEE 1149.1标准的JTAG边界扫描测试结构，方便测试

提供接收阻抗匹配内部寄存器控制及接收端高阻增益（最大30dB）

3. 3V供电，100管脚14X14mm<sup>2</sup>LQFP封装，与ET2154、CS21554管脚兼容

### 2. 功能描述

CS21354/CS21554接收方向的时钟/数据恢复电路可以接收到的AMI/HDB3编码的E1信号转换为串行的非归零（NRZ）E1码流。接收灵敏度为-18dB，可满足短距离（<900米）的应用。发送方向可以产生满足G.703模板的E1波形，满足75Ω同轴电缆或120Ω双绞线应用。抖动衰减电路则可以配置在发送方向或接收方向，对抖动的抑制特性满足G.823、G.705的要求。

CS21354/CS21554的帧处理器实现帧和复帧的定位并监控数据流，在发现异常时报警。可以提取和插入信令码，Si，Sa比特。

CS21354/CS21554内部设置了4个测试环回，以及符合IEEE 1149.1标准的JTAG边界扫描测试结构方便调试。

### 3. 系统框图

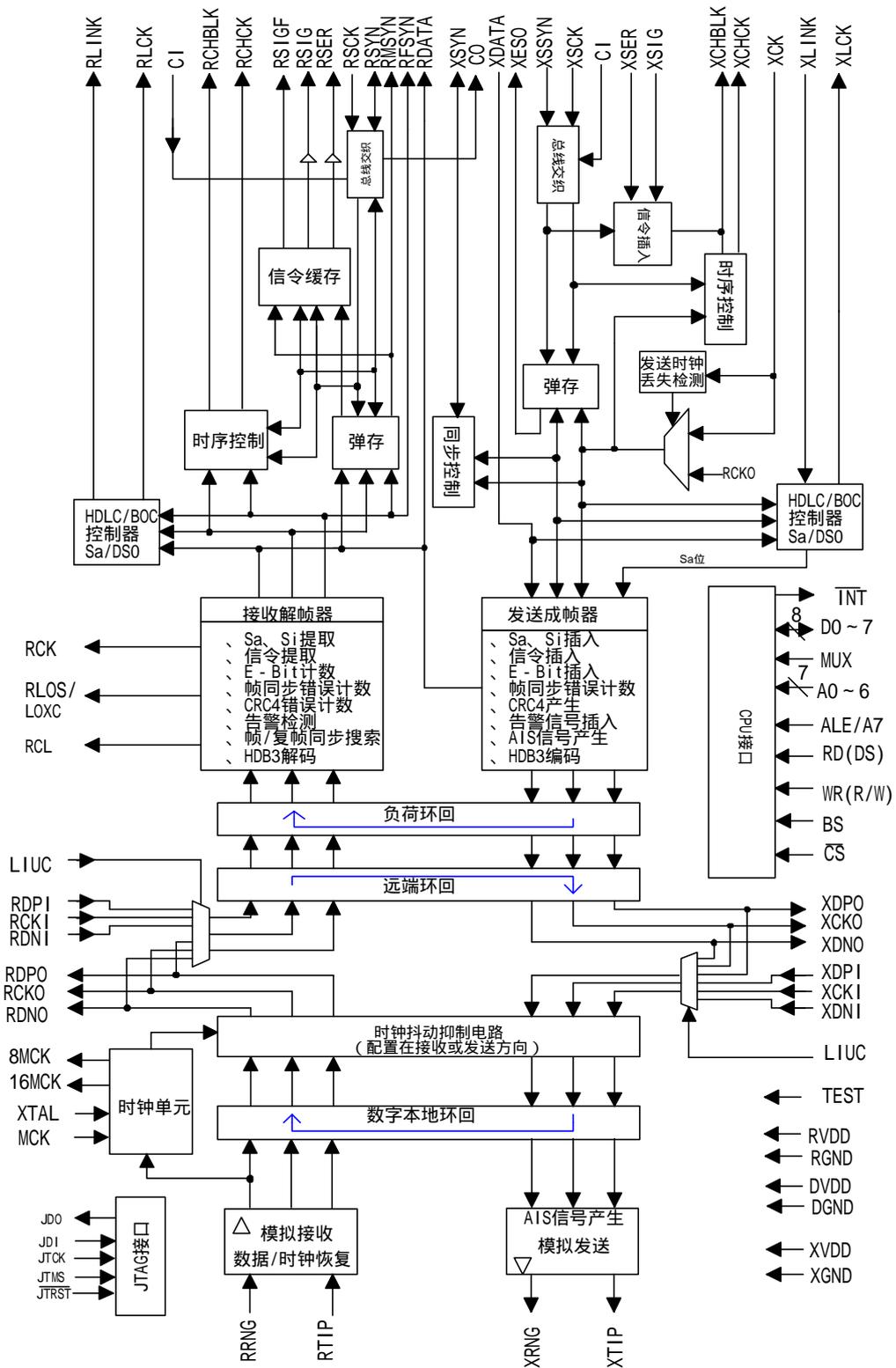


图1 CS21354/CS21554系统框图

## 4. 引脚定义

### 引脚顶层图

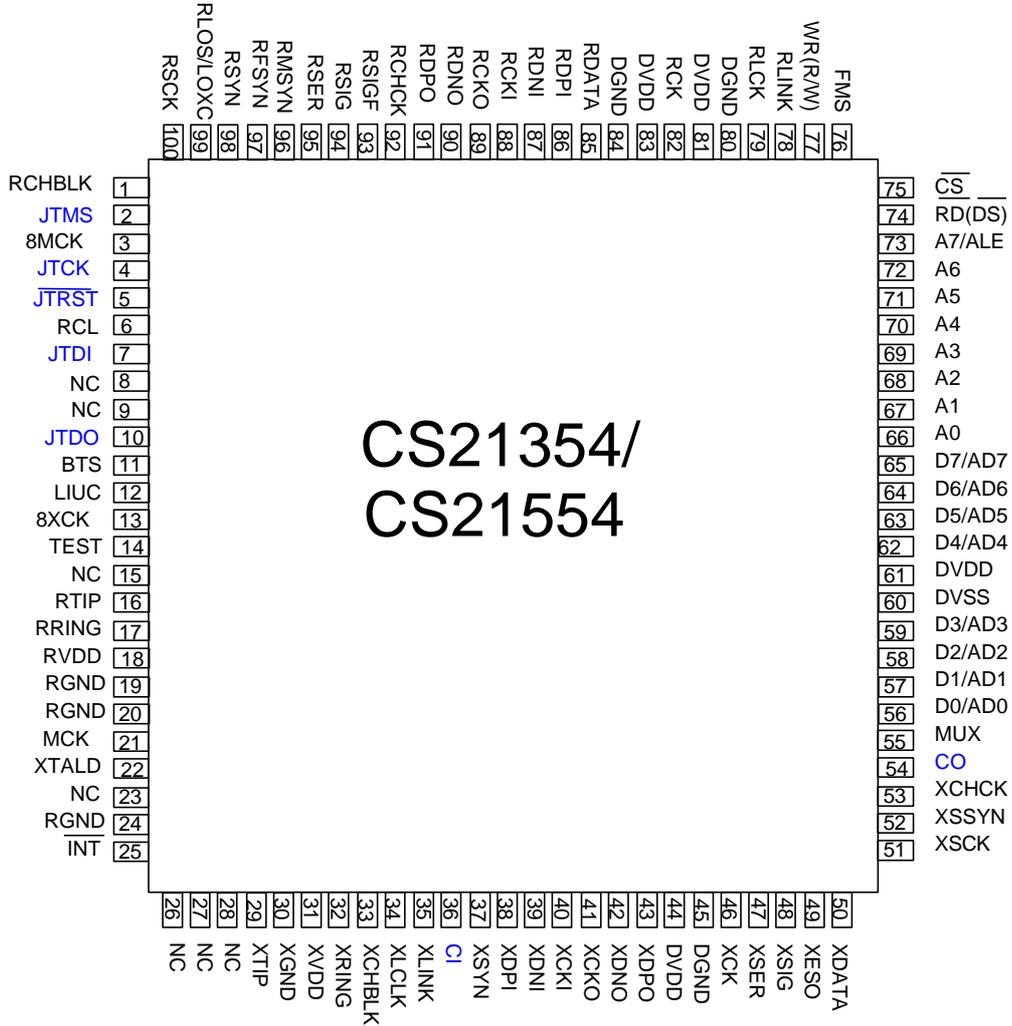


图2 CS21354/CS21554外部引脚的实际排列时序

### 引脚描述

表1 引脚描述表

序号	符号	类型	描述
1	RCHBLK	DO	接收通道阻塞。 用户可编程输出，可在32个时隙通道中任一通道强制为高或为低。当接收端弹存使能时，与RSCK同步，不使能时跟RCK同步。
2	JTMS	DI	JTAG IEEE1149.1测试模式选择
3	8MCK	DO	8.192MHz 时钟。4倍RCK时钟，频率为 8.192MHz
4	JTCK	DI	JTAG IEEE1149.1测试时钟输入脚。
5	JTRST	DI	JTAG IEEE1149.1测试复位输入脚。



序号	符号	类型	描述
6	RCL	DO	接收载波丢失指示信号。当监测到载波丢失时置为高。
7	JTDI	DI	JTAG IEEE1149.1测试数据输入。
8	NC	-	悬空。
9	NC	-	悬空。
10	JTDO	DO	JTAG IEEE1149.1测试数据输出。
11	BTS	DI	总线类型选择。 BTS = 1, 选择MOTOROLA总线时序; BTS = 0, 选择INTEL总线时序。 可以控制RD\(\DS)、ALE\(\AS)、WR\(\R/W)。当BTS = 1时, 这些管脚启用括号内的功能。
12	LIUC	DI	线接口单元 (LIU) 连接选择。 LIUC = 0时, 将线接口电路跟帧处理器 (FRAMER) 分开, 数据分别从XDPI/XDNI/XCKI 和RDPI/RDNI/RCKI管脚输入。 LIUC = 1时, 将线接口电路和帧处理器连接, XDPI/XDNI/XCKI 及RDPI/RDNI/RCKI管脚要接低电平。
13	16MCK	DO	16.384MHz时钟; 当去抖配置在接收方向时, 锁定时钟数据恢复模块提供的2.048MHz时钟; 当去抖配置在发送方向时, 锁定在XCKI引脚提供的时钟。
14	TEST	DI	测试和三态控制。 TEST = 1时, 所有输出和输入输出管脚置为三态; TEST = 0时, 正常工作。
15	NC	-	悬空。
16	RTIP	AI	接收的模拟TIP输入。
17	RRNG	AI	接收的模拟RING输入。
18	RVDD	AP	接收电路模拟电源。
19	RGND	AG	接收电路模拟地。
20	RGND	AG	接收电路模拟地。
21	MCK	ADI	CS21354/CS21554主参考时钟输入。输入—TTL电平的2.048MHz (+/-50ppm)时钟源。也可将—2.048MHz的石英晶体接在MCK和XTALD之间以替代TTL电平的时钟源。
22	XTAL	ADO	石英晶体输入端。接在MCK和XTALD之间的2.048MHz的石英晶体可以替代MCK上直接输入的TTL电平时钟源。如果MCK上有TTL电平的时钟输入, 则让该管脚开路。
23	NC	-	悬空。
24	N.U.	-	悬空。
25	INT	OD	中断输出。
26	NC	-	悬空。
27	NC	-	悬空。
28	NC	-	悬空。
29	XTIP	AO	发送的TIP输出脚。
30	XGND	AG	发送电路模拟地。
31	XVDD	AP	接收电路模拟电源。



序号	符号	类型	描述
32	XRNG	AO	发送的RING输出脚。
33	XCHBLK	DO	发送通道阻塞。可在E1中32个时隙中任一通道强制为高或为低。当接收端弹存使能时跟XSCK同步,不使能时跟XCK同步。
34	XLCK	DO	发送方向链接时钟。用于XLINK输入的时钟,频率从4KHz到20KHz。
35	XLINK	DI	发送链路数据。发送链路数据,当使能时,该管脚的数据将用XLCK的下降沿采样,在Sa比特位插入该数据。
36	CI	DI	PCM总线交织时进位输入信号(Carry In)。
37	XSYN	I/O	发送同步信号。始终跟XCK同步,输入一个脉冲将会在发送方向建立帧或复帧边界,同时该管脚还可以编程用于输出帧或复帧的边界脉冲。
38	XDPI	DI	发送正数据输入,用XCKI下降沿采样。
39	XDNI	DI	发送负数据输入,用XCKI下降沿采样。
40	XCKI	DI	发送时钟输入。
41	XCKO	DO	发送时钟输出。经过缓冲的输出时钟,用于在发送方向成帧器(Formatter)采样数据,一般情况来自XCK,当发送时钟丢失(LOXC=1)使能且发送时钟出现丢失时来源为RCKO,当远端环回使能时来源RCKI,正常情况下接XCKI。
42	XDNO	DO	发送负数据输出。XCKO上升沿时输出发送方向成帧器产生的双极码。
43	XDPO	DO	发送正数据输出。XCKO上升沿时输出发送方向成帧器产生的双极码。可以通过输出数据格式控制比特(XC1.7)将该管脚编程为输出NRZ码。
44	N.U.	-	悬空
45	N.U.	-	悬空
46	XCK	DI	发送方向输入时钟。输入2.048MHz基本时钟,用于给发送方向成帧器采样数据。若要并行控制端口正常工作,必须提供该时钟。如果该时钟不存在,即发送时钟丢失(LOXC=1)功能,CS21354/CS21554内部接恢复时钟RCK。
47	XSER	DI	发送串行数据。当发送方向弹存使能时,用XSCK的下降沿采样发送NRZ串行数据;不使能时,用XCK的下降沿采样发送NRZ串行数据。
48	XSIG	DI	发送信令。使能时,该输入将作为信令比特样本,插入到发送的PCM E1数据流。发送方向弹存使能时,用XSCK下降沿采样,发送方向弹存不使能时,用XCK下降沿采样。
49	XESO	DO	发送弹存输出。不管弹存使能与否,在XCK的上升沿都会输出发送弹存的输出数据。该管脚正常情况下接XDATA。
50	XDATA	DI	发送方向数据。用XCK的下降沿采样输入。
51	XSCK	DI	发送方向系统时钟。2.048MHz时钟。仅当发送方向弹存使能时使用。发送方向弹存不使用时应接低电平。
52	XSSYN	DI	发送系统同步信号,始终跟XSCK同步。仅当发送方向弹存使能时使用,在该管脚加一个脉冲将在发送方向建立帧或



序号	符号	类型	描述
			复帧的边界。弹存不使能时要接低电平。。
53	XCHCK	DO	发送通道时钟。—256KHz时钟在每个时隙的最低位(LSB)输出高电平。当发送方向弹存使能时跟XSCK同步,不使能发送方向弹存时跟XCK同步。
54	CO	DO	PCM总线交织时进位输出信号(Carry Out)。
55	MUX	DI	总线工作方式。 MUX = 0, 非复用总线工作方式; MUX = 1, 复用总线工作方式。
56	D0/AD0	I/O	数据总线第0位或 地址/数据复用总线第0位。非复用总线工作方式下,用作数据总线;复用总线工作方式下,用作8-bits地址/数据总线。
57	D1/AD1	I/O	数据总线第1位 或 地址/数据复用总线第1位。非复用总线工作方式下,用作数据总线;复用总线工作方式下,用作8-bits地址/数据总线。
58	D2/AD2	I/O	数据总线第2位 或 地址/数据复用总线第2位。非复用总线工作方式下,用作数据总线;复用总线工作方式下,用作8-bits地址/数据总线。
59	D3/AD3	I/O	数据总线第3位或 地址/数据复用总线第3位。非复用总线工作方式下,用作数据总线;复用总线工作方式下,用作8-bits地址/数据总线。
60	DGND	DP	数字地。
61	DVDD	DG	数字正电源。
62	D4/AD4	I/O	数据总线第4位 或 地址/数据复用总线第4位。非复用总线工作方式下,用作数据总线;复用总线工作方式下,用作8-bits地址/数据总线。
63	D5/AD5	I/O	数据总线第5位 或 地址/数据复用总线第5位。非复用总线工作方式下,用作数据总线;复用总线工作方式下,用作8-bits地址/数据总线。
64	D6/AD6	I/O	数据总线第6位 或地址/数据复用总线第6位。非复用总线工作方式下,用作数据总线;复用总线工作方式下,用作8-bits地址/数据总线。
65	D7/AD7	I/O	数据总线第7位 或 地址/数据复用总线第7位。非复用总线工作方式下,用作数据总线;复用总线工作方式下,用作8-bits地址/数据总线。
66	A0	DI	地址总线第0位。在非复用总线工作方式下,作为地址总线;在复用总线工作方式下,这些管脚不用,须接低电平。
67	A1	DI	地址总线第1位。在非复用总线工作方式下,作为地址总线;在复用总线工作方式下,这些管脚不用,须接低电平。
68	A2	DI	地址总线第2位。在非复用总线工作方式下,作为地址总线;在复用总线工作方式下,这些管脚不用,须接低电平。
69	A3	DI	地址总线第3位。在非复用总线工作方式下,作为地址总线;在复用总线工作方式下,这些管脚不用,须接低电平。
70	A4	DI	地址总线第4位。在非复用总线工作方式下,作为地址总线;在复用总线工作方式下,这些管脚不用,须接低电平。
71	A5	DI	地址总线第5位。在非复用总线工作方式下,作为地址总线;



序号	符号	类型	描述
			在复用总线工作模式下，这些管脚不用，须接低电平。
72	A6	DI	地址总线第6位。在非复用总线工作模式下，作为地址总线；在复用总线工作模式下，这些管脚不用，须接低电平。
73	A7/ALE	DI	地址总线第7位。 在非复用总线工作模式下（MUX=0），作为地址总线；在复用总线工作模式下（MUX=1），该管脚做为地址锁存使能（ALE），正向沿有效。
74	RD (DS)	DI	读输入（采样点Data Strobe）。 MUX = 1时，RD和DS低电平有效； MUX = 0时DS高电平有效。
75	CS	DI	片选信号。对CS21354/CS21554读写时必须为低。CS是低电平有效信号。
76	FMS	DI	帧处理器（Framer）模式选择
77	WR(R/W)	DI	写输入（读/写）。WR是低电平有效信号。
78	RLINK	DO	接收链接数据。用RCK上升沿采样从恢复出来的数据流。
79	RLCK	DO	接收链接时钟。给RLINK输出提供4kHz到20KHz的时钟（Sa比特）
80	N.U.	-	悬空
81	N.U.	-	悬空
82	RCK	DO	接收方向恢复时钟。2.048MHz恢复时钟。
83	N.U.	-	悬空
84	N.U.	-	悬空
85	RDATA	DO	接收方向数据。用RCK上升沿输出接收方向帧处理器出来的数据。
86	RDPI	DI	接收正数据输入。送往接收方向帧处理器的数据，用RCKI下降沿采样。对NRZ接口，可以将RDPI和RDNI接在一起。可以通过将LIUC接高电平，在CS21354/CS21554内部跟RDPO接在一起。
87	RDNI	DI	接收正数据输入，用RCKI下降沿采样。
88	RCKI	DI	接收时钟输入，用于采样输入接收方向帧处理器的数据。若要并行控制端口正常工作，必须提供该时钟。
89	RCKO	DO	接收时钟输出，从E1线路恢复出的缓冲输出时钟。
90	RDNO	DO	接收负数据输出。RCKO上升沿时输出线接口电路产生的双极码。
91	RDPO	DO	接收正数据输出。RCKO上升沿时输出线接口电路产生的双极码打出。
92	RCHCK	DO	接收通道时钟。256KHz时钟在每个通道的最低位（LSB）打高电平。当发送方向弹存使能时与RSCK同步，发送方向弹存不使能时，与RCK同步。
93	RSIGF	DO	接收信令冻结输出。当信令数据通过自动或人工干预冻结时置高。用于下行设备状况告警。
94	RSIG	DO	接收信令输出。输出PCM格式的信令码。接收方向弹存使能时用RSCK上升触发输出，接收方向弹存不使能时用RCK上升沿触发输出。



序号	符号	类型	描述
95	RSER	DO	接收到的串行NRZ数据。接收方向弹存使能时用RSCK上升沿触发输出，接收方向弹存不使能时用RCK上升沿触发输出。
96	RMSYN	DO	接收方向提取的复帧同步脉冲，一个RSCK周期宽，用于识别复帧边界。接收弹存不使能时，输出的复帧边界与RCK相关。
97	RFSYN	DO	接收方向提取的8KHz时钟，脉宽为一个RCK周期宽，用于识别帧边界。
98	RSYN	I/O	接收同步。提取时钟脉冲，一个RCK周期宽，标志帧或CAS/CRC复帧同步。如果接收方向弹存使能，该管脚可作为输入，用以输入跟RSCK同步的帧或复帧边界脉冲。
99	RLOS/LOXC	DO	接收丢失同步/发送时钟丢失。可以用XC2.0比特作为输出选择。可编程用于指示帧或复帧同步时输出高电平，或当XCK 管脚在5us内没翻转时输出高电平。
100	RSCK	DI	接收方向系统时钟。2.048MHz输入时钟。仅当接收弹存功能使能时使用。在接收弹存不使能时应接低电平。

## 5. 寄存器映射表

表2 寄存器映射表

地址	类型	符号	寄存器说明	页码
00H	R	VC1	极性或编码错误计数器1	
01H	R	VC2	极性或编码错误计数器2	
02H	R	CRC1	CRC错误计数器 1及FAS 错误计数器1	
03H	R	CRC2	CRC错误计数器 2	
04H	R	EBC1	E-bit 计数器 1 及FAS 错误计数器 2	
05H	R	EBC2	E-bit 计数器 2	
06H	R/W	STATE1	状态计数器 1	
07H	R/W	STATE2	状态计数器 2	
08H	R/W	RI	接收信息寄存器	
09H	-	-	保留	
0AH	-	-	不提供	
0BH	-	-	不提供	
0CH	-	-	不提供	
0DH	-	-	不提供	
0EH	-	-	不提供	
0FH	R	ID	器件标识寄存器	
10H	R/W	RC1	接收控制寄存器 1	
11H	R/W	RC2	接收控制寄存器 2	
12H	R/W	XC1	发送控制寄存器 1	
13H	R/W	XC2	发送控制寄存器 2	
14H	R/W	GCR1	通用控制寄存器 1	



地址	类型	符号	寄存器说明	页码
15H	R/W	TEST1	测试寄存器 1(set to 00H)	
16H	R/W	ICR1	中断控制寄存器 1	
17H	R/W	ICR2	中断控制寄存器 2	
18H	R/W	LIC	线接口控制寄存器	
19H	R/W	TEST2	测试寄存器 2(set to 00H)	
1AH	R/W	GCR2	通用控制寄存器 2	
1BH	R/W	GCR3	通用控制寄存器 3	
1CH	R/W	XSaC	发送 Sa 比特控制寄存器	
1DH	R/W	GCR6	通用控制寄存器 6	
1EH	R	SYNCR	同步状态寄存器	
1FH	R	RNAF	接收非对位帧寄存器	
20H	R/W	TAF	发送对位帧寄存器	
21H	R/W	TNAF	发送非对位帧寄存器	
22H	R/W	XCB1	发送通道阻塞寄存器 1	
23H	R/W	XCB2	发送通道阻塞寄存器 2	
24H	R/W	XCB3	发送通道阻塞寄存器 3	
25H	R/W	XCB4	发送通道阻塞寄存器 4	
26H	R/W	XI1	发送空闲寄存器 1	
27H	R/W	XI2	发送空闲寄存器 2	
28H	R/W	XI3	发送空闲寄存器 3	
29H	R/W	XI4	发送空闲寄存器 4	
2AH	R/W	XID	发送空闲定义寄存器	
2BH	R/W	RCB1	接收通道阻塞寄存器 1	
2CH	R/W	RCB2	接收通道阻塞寄存器 2	
2DH	R/W	RCB3	接收通道阻塞寄存器 3	
2EH	R/W	RCB4	接收通道阻塞寄存器 4	
2FH	R	RAF	接收对位帧寄存器	
30H	R	RS1	接收信令寄存器 1	
31H	R	RS2	接收信令寄存器 2	
32H	R	RS3	接收信令寄存器 3	
33H	R	RS4	接收信令寄存器 4	
34H	R	RS5	接收信令寄存器 5	
35H	R	RS6	接收信令寄存器 6	
36H	R	RS7	接收信令寄存器 7	
37H	R	RS8	接收信令寄存器 8	
38H	R	RS9	接收信令寄存器 9	
39H	R	RS10	接收信令寄存器 10	
3AH	R	RS11	接收信令寄存器 11	
3BH	R	RS12	接收信令寄存器 12	
3CH	R	RS13	接收信令寄存器 13	
3DH	R	RS14	接收信令寄存器 14	
3EH	R	RS15	接收信令寄存器 15	
3FH	R	RS16	接收信令寄存器 16	



地址	类型	符号	寄存器说明	页码
40H	R/W	XS1	发送信令寄存器 1	
41H	R/W	XS2	发送信令寄存器 2	
42H	R/W	XS3	发送信令寄存器 3	
43H	R/W	XS4	发送信令寄存器 4	
44H	R/W	XS5	发送信令寄存器 5	
45H	R/W	XS6	发送信令寄存器 6	
46H	R/W	XS7	发送信令寄存器 7	
47H	R/W	XS8	发送信令寄存器 8	
48H	R/W	XS9	发送信令寄存器 9	
49H	R/W	XS10	发送信令寄存器 10	
4AH	R/W	XS11	发送信令寄存器 11	
4BH	R/W	XS12	发送信令寄存器 12	
4CH	R/W	XS13	发送信令寄存器 13	
4DH	R/W	XS14	发送信令寄存器 14	
4EH	R/W	XS15	发送信令寄存器 15	
4FH	R/W	XS16	发送信令寄存器 16	
50H	R/W	XSiAF	发送 Si 比特对位帧寄存器	
51H	R/W	XSiNAF	发送 Si 比特非对位帧寄存器	
52H	R/W	XRA	发送远端告警寄存器	
53H	R/W	XSa4	发送 Sa4 bits	
54H	R/W	XSa5	发送 Sa5 bits	
55H	R/W	XSa6	发送 Sa6 bits	
56H	R/W	XSa7	发送 Sa7 bits	
57H	R/W	XSa8	发送 Sa8 bits	
58H	R	RSiAF	接收 Si 比特对位帧寄存器	
59H	R	RSiNAF	接收 Si 比特非对位帧寄存器	
5AH	R	RRA	接收远端告警寄存器	
5BH	R	RSa4	接收 Sa4 bits	
5CH	R	RSa5	接收 Sa5 bits	
5DH	R	RSa6	接收 Sa6 bits	
5EH	R	RSa7	接收 Sa7 bits	
5FH	R	RSa8	接收 Sa8 bits	
60H	R/W	XCH1	发送通道 1	
61H	R/W	XCH2	发送通道 2	
62H	R/W	XCH3	发送通道 3	
63H	R/W	XCH4	发送通道 4	
64H	R/W	XCH5	发送通道 5	
65H	R/W	XCH6	发送通道 6	
66H	R/W	XCH7	发送通道 7	
67H	R/W	XCH8	发送通道 8	
68H	R/W	XCH9	发送通道 9	
69H	R/W	XCH10	发送通道 10	
6AH	R/W	XCH11	发送通道 11	



地址	类型	符号	寄存器说明	页码
6BH	R/W	XCH12	发送通道 12	
6CH	R/W	XCH13	发送通道 13	
6DH	R/W	XCH14	发送通道 14	
6EH	R/W	XCH15	发送通道 15	
6FH	R/W	XCH16	发送通道 16	
70H	R/W	XCH17	发送通道 17	
71H	R/W	XCH18	发送通道 18	
72H	R/W	XCH19	发送通道 19	
73H	R/W	XCH20	发送通道 20	
74H	R/W	XCH21	发送通道 21	
75H	R/W	XCH22	发送通道 22	
76H	R/W	XCH23	发送通道 23	
77H	R/W	XCH24	发送通道 24	
78H	R/W	XCH25	发送通道 25	
79H	R/W	XCH26	发送通道 26	
7AH	R/W	XCH27	发送通道 27	
7BH	R/W	XCH28	发送通道 28	
7CH	R/W	XCH29	发送通道 29	
7DH	R/W	XCH30	发送通道 30	
7EH	R/W	XCH31	发送通道 31	
7FH	R/W	XCH32	发送通道 32	
80H	R/W	RCH1	接收通道 1	
81H	R/W	RCH2	接收通道 2	
82H	R/W	RCH3	接收通道 3	
83H	R/W	RCH4	接收通道 4	
84H	R/W	RCH5	接收通道 5	
85H	R/W	RCH6	接收通道 6	
86H	R/W	RCH7	接收通道 7	
87H	R/W	RCH8	接收通道 8	
88H	R/W	RCH9	接收通道 9	
89H	R/W	RCH10	接收通道 10	
8AH	R/W	RCH11	接收通道 11	
8BH	R/W	RCH12	接收通道 12	
8CH	R/W	RCH13	接收通道 13	
8DH	R/W	RCH14	接收通道 14	
8EH	R/W	RCH15	接收通道 15	
8FH	R/W	RCH16	接收通道 16	
90H	R/W	RCH17	接收通道 17	
91H	R/W	RCH18	接收通道 18	
92H	R/W	RCH19	接收通道 19	
93H	R/W	RCH20	接收通道 20	
94H	R/W	RCH21	接收通道 21	
95H	R/W	RCH22	接收通道 22	



地址	类型	符号	寄存器说明	页码
96H	R/W	RCH23	接收通道 23	
97H	R/W	RCH24	接收通道 24	
98H	R/W	RCH25	接收通道 25	
99H	R/W	RCH26	接收通道 26	
9AH	R/W	RCH27	接收通道 27	
9BH	R/W	RCH28	接收通道 28	
9CH	R/W	RCH29	接收通道 29	
9DH	R/W	RCH30	接收通道 30	
9EH	R/W	RCH31	接收通道 31	
9FH	R/W	RCH32	接收通道 32	
A0H	R/W	XCC1	发送通道控制寄存器 1	
A1H	R/W	XCC2	发送通道控制寄存器 2	
A2H	R/W	XCC3	发送通道控制寄存器 3	
A3H	R/W	XCC4	发送通道控制寄存器 4	
A4H	R/W	RCC1	接收通道控制寄存器 1	
A5H	R/W	RCC2	接收通道控制寄存器 2	
A6H	R/W	RCC3	接收通道控制寄存器3	
A7H	R/W	RCC4	接收通道控制寄存器4	
A8H	R/W	GCR4	通用控制寄存器 4	
A9H	R	XDS0	发送 DS0 监控寄存器	
AAH	R/W	GCR5	通用控制寄存器 5	
ABH	R	RDS0	接收 DS0 监控寄存器	
ACH	R/W	TEST3	测试寄存器 3(set to 00H)	
ADH	R/W	TEST4	测试寄存器 4(set to 00H)	
AEH	R/W	TEST5	测试寄存器(set to 00H)	
AFH	R/W	-	未使用(set to 00H)	
B0H	R/W	HC	未使用(set to 00H)	
B1H	R/W	HS	未使用(set to 00H)	
B2H	R/W	HIM	未使用(set to 00H)	
B3H	R/W	RHI	未使用(set to 00H)	
B4H	R/W	RHF	未使用(set to 00H)	
B5H	R/W	IB0	未使用(set to 00H)	
B6H	R/W	XHI	未使用(set to 00H)	
B7H	R/W	XHF	未使用(set to 00H)	
B8H	R/W	RDC1	未使用(set to 00H)	
B9H	R/W	RDC2	未使用(set to 00H)	
BAH	R/W	XDC1	未使用(set to 00H)	
BBH	R/W	XDC2	未使用(set to 00H)	
BCH	-	-	未使用(set to 00H)	
BDH	-	-	未使用(set to 00H)	
BEH	-	-	未使用(set to 00H)	
BFH	-	-	未使用(set to 00H)	

CS21354/CS21554由接收控制寄存器、发送控制寄存器、通用寄存器组控制寄存器决定其工



作模式，控制寄存器在上电后才能够进行操作。

CS21354/CS21554中的标志寄存器(ID)，地址为0FH，此只读寄存器的高4位是1001，指示该芯片为E1收发器，最低4位是CS21354/CS21554的版本号。

表3 CS21354/CS21554标识寄存器ID

7	6	5	4	3	2	1	0
1	0	ID1	ID0	VER3	VER2	VER1	VER0
符号	位置	名称和描述					
1	ID.7	表示是CS2154/CS21354或CS21554					
0	ID.6	16位极性或编码错误计数器最低位.					
ID1	ID.5	ID1 ~ 0指示芯片型号					
ID0	ID.4	ID1	ID0	芯片型号			
		0	0	CS2154			
		0	1	CS21354			
		1	0	CS21554			
CER3 ~ 0	ID3 ~ 0	表示相应芯片的版本信息					

测试寄存器1~5的地址为15H、19H、ACH、ADH和AEH。在系统上电后，所有的测试寄存器必须清零。

### 错误计数器寄存器

CS21354/CS21554中的4组计数器分别对以下错误进行统计：双极性及编码错误、CRC SMF 编码字错误、远端E比特错误、FAS错误字。以上计数器都能够每1s(CRC2.7=0)或每62.5ms(CRC2.7=1)更新一次；因此，计数器中保存了上1s或者前62.5ms的数据传输性能参数，可以通过计数器产生的中断来评判断何时读取寄存器；

### 双极性 (BPV) 或编码错误 (CV) 计数器 (VC1 ~ 2)

地址：00H, 01H (VC1为高8位，VC2为低8位)

表4 双极性/编码错误计数器 (VC1 ~ 2)

7	6	5	4	3	2	1	0
V15	V14	V13	V12	V11	V10	V9	V8
V7	V6	V5	V4	V3	V2	V1	V0
符号	位置	名称和描述					
V15	VCR1.7	16位极性或编码错误计数器最高位.					
V0	VCR2.0	16位极性或编码错误计数器最低位.					



此计数器记录了双极性错误 (BPV) 或编码错误 (CV) 的次数, 计数器字长为16位, VCR1为高8位, VCR2为低8位。计数器在任何情况下都进行加法计数, 最大计数到65535。当且仅当E1传输的误码率大于 $10^{-2}$ 时, 计数器才会计满。若接收的是AMI编码数据时建议被设置为统计BPV错误, 如果接收HDB3编码数据时建议被设置为统计CV错误。

当GCR2.6=0时, VCR统计双极性错误。双极性错误定义为数据流中连续出现了相同的极性标志。在此模式下, 当通过GCR1.2设置接收端为HDB3模式时, HDB3编码不会被视为双极性错误。

当GCR2.6=1时, VCR如ITU 0.161所述统计编码错误。编码错误定义为连续的同极性的双极性错误。

**CRC错误计数器 (CRCC1 ~ 2)**

地址: 02H, 03H

表5 CRC错误计数器 (CRCC1 ~ 2)

7	6	5	4	3	2	1	0
note1	note1	note1	note1	note1	note1	CRC9	CRC8
CRC7	CRC6	CRC5	CRC4	CRC3	CRC2	CRC1	CRC0
符号	位置	名称和描述					
CRC9	CRCRC1.1	10位CRC4错误计数器最高位.					
CRC0	CRCRC2.0	10位CRC4错误计数器最低位.					
此计数器统计CRC中的错误字, 计数器为10比特, CRCC1为高2位, CRCC2为低8位。由于计数器最多计到1000, 所以计数器不会饱和。在FAS + CRC4模式下, 如果同步丢失, 则计数器停止计数; 在CAS复帧模式下, 复帧同步信号丢失时计数器会继续计数。							

**E-bit计数器 (EBC1 ~ 2)**

地址: 04H, 05H

表6 E-bit计数器 (EBC1 ~ 2)

7	6	5	4	3	2	1	0
-	-	-	-	-	-	EB9	EB8
EB7	EB6	EB5	EB4	EB3	EB2	EB1	EB0
符号	位置	名称和描述					
EB9	EBCR1.1	10位E-bit计数器最高位.					
EB0	EBCR2.0	10位E-bit计数器最低位.					
当接收 CRC4 复帧 E1 数据时, 此计数器对远端阻塞错误 (FEBE) 进行统计。计数器字长为 10 比特, EBC1 为高 2 位, EBC2 为低 8 位。每当接收到的 E-bit = 0 时, 计数器即增 1。计数器在 1s 内的最大计数数值为 1000。 在 FAS + CRC4 模式下, 同步信号丢失时计数器停止计数; 在 CAS 复帧模式时, 同步信号的丢失时计数器依然计数。							

**FAS错误计数器 (FASC1 ~ 2)**

地址: 02H, 04H



表7 FAS错误计数器(FASC1~2)

7	6	5	4	3	2	1	0
FAS11	FAS10	FAS9	FAS8	FAS7	FAS6	-	-
FAS5	FAS4	FAS3	FAS2	FAS1	FAS0	-	-
符号	位置	名称和描述					
FAS11	FASC1.7	12位FAS错误计数器的最高位.					
FAS0	FASC2.2	12位FAS错误计数器的最低位.					
此计数器对第0时隙中的FAS错误字进行统计。计数器分为2段，FASC1为高6位(FAS11~FAS6)，FASC2为低6位(FAS5~FAS0)。在同步信号丢失(RLOS=1)时，计数器停止计数。							

### 状态及信息寄存器

CS21354/CS21554内部的4个寄存器保存当前的实时状态：状态寄存器1(STATE1)、状态寄存器2(STATE2)、接收信息寄存器(RI)、同步状态寄存器(SYNCR)。当CS21354/CS21554进入相应状态时，寄存器的相应比特被置1。

寄存器STATE1, STATE2及RI中的所有比特都以锁存器方式工作，即当某种状态被锁存后，当且仅当用户对其进行读操作后，相应比特才会清零。状态位在读清零之后，一旦满足相应条件，时又会被重新置位。或者，对RSAO, RSAZ, RDMA, RUA1, RRA, RCL及RLOS报警，只要触发条件存在，状态位就处于置位状态。

状态寄存器在进行读操作前必须先进行写1操作，相应被写的位表示用户需要对相应比特进行读操作，哪些已经被清零。用户对寄存器STATE1, STATE2及RI进行写操作时，写入1表示相应位置的比特要读出，写入0表示用户不需要读相应位置的比特信息。当相应位置1后，被读的寄存器即更新；当0被写入相应位置后，寄存器保持原先的数据。对状态及信息内容进行写操作后，立即进行读操作。读出的结果与第一次写入屏蔽字节进行逻辑"与"运算后，再写回寄存器以保证比特清零。第二步写操作时必需的，因为相对于CPU接口对寄存器状态信息的查询，报警及触发事件的发生时异步的。写 - 读 - 写的操作可以使得微处理器轮询单独的比特而不影响其他比特的数据。此种操作对使用高级软件语言来控制芯片的操作是非常关键的。

SYNCR寄存器的操作与其他3个寄存器不同，SYNCR为只读寄存器（在读操作前不必进行写操作），它记录了实时同步的状态。

STATE1及STATE2寄存器可以通过中断管脚INT来初始化硬件中断。STATE1及STATE2寄存器中的报警及事件可以被相应的中断控制寄存器ICR1或者ICR2屏蔽。

RUA1, RRA, RCL及RLOS触发的中断与RSAO, RDMA, RSAZ, RSLIP, RMF, RAF, XMF, SEC, TAF, LOXC, RCHMF及XSLIP触发的中断工作模式不同。一旦报警状态发生改变，4种中断将迫使INT为低。根据表15定义的报警条件，无论生成报警和取消报警时，都会使INT变低；当用户读取了触发中断的报警比特信息后，INT恢复为高。如果报警状态依旧存在，相应比特处于置位状态。



引发中断的事件发生时将迫使INT为低，当相应的比特信息被读取后，INT恢复为高。

状态寄存器1 ( STATE1 )

地址：06H

表8 状态寄存器1 ( STATE1 )

7	6	5	4	3	2	1	0
RSAO	RDMA	RSAZ	RSLIP	RUA1	RRA	RCL	RLOS
符号	位置	名称和描述					
RSAO	STATE1.7	接收信令全1 ( ONE ) /信令变化告警 当连续16帧中16时隙少于3个0时置位.在CCS信令模式中这一告警仍起作用.当监测到信令变化时,RSAO和RSAZ都置位.					
RDMA	STATE1.6	接收远端复帧告警 当连续两个复帧的第0帧中,第16时隙的第6位被置位时置位.在CCS信令模式中这一告警仍起作用.					
RSAZ	STATE1.5	接收信令全0/ ( ZERO ) 信令变化告警 当在一个整个复帧中,所有16时隙包括全0时置位.当监测到信令变化时,RSAO和RSAZ都置位.					
RSLIP	STATE1.4	接收方向弹存滑帧 当弹存出现帧丢失或帧重复时置位.					
RUA1	STATE1.3	接收非帧结构全1 当在RDPI和RDNI接收到非帧结构的全1码时置位.					
RRA	STATE1.2	接收远端告警 当在RDPI和RDNI收到一远端告警时置位.					
RCL	STATE1.1	接收载波丢失 当RTIP和RRNG上收到连续255(当GCR3.0=1时为2048)个0时置位.					
RLOS	STATE1.0	接收同步丢失告警 当芯片没有接收到的E1码流同步时置位.					

表9 接收报警检测标准

告警	告警产生标准	告警清除标准	ITU标准
RSAO	连续超过16帧(一个复帧)的16时隙中的0少于3个.	连续超过16帧(一个复帧)的16时隙中的0有或超过3个.	G.732 4.2
RSAZ	连续超过16帧(一个复帧)的16时隙为全0	连续超过16帧(一个复帧)的16时隙至少有一个1	G.732 5.2
RDMA	连续两个复帧第0帧中,16时隙第6位为1	连续两个复帧第0帧中,16时隙第6位为0	O.162 2.1.5
RUA1	两帧(512比特)中的0少于3个	两帧(512比特)中的0超过2个	O.162 1.6.1.2
RRA	连续三个非对位帧第3位为1	连续三个非对位帧第3位为0	O.162 2.1.4
RCL	收到255 (2048) 连0	在255比特中,至少有32个比特为1	G.775 G.962

状态寄存器2 ( STATE2 )

地址：07H



表10 状态寄存器2 ( STATE2 )

7	6	5	4	3	2	1	0
RMF	RAF	XMF	SEC	TAF	LOXC	RCHMF	XSLIP
符号	位置	名称和描述					
RMF	STATE2.7	接收CAS复帧 在接收复帧边界每2ms置位(不管CAS信令是否使能).用于告警主机信令数据已准备就绪					
RAF	STATE2.6	接收对位帧 每250us在对位帧的开始置位.用于告警主机Si和Sa比特在RAF和RNAF寄存器已准备就绪.					
XMF	STATE2.5	发送复帧 在接收复帧边界每2ms置位(不管CAS信令是否使能).用于告警主机信令数据需要更新.					
SEC	STATE2.4	一秒计时器 基于RCK计时每过1秒置位,如果CRC2.7=1,该位就每62.5ms置位.					
TAF	STATE2.3	发送对位帧 每250us在对位帧的开始置位.用于告警主机在TAF和TNAF寄存器中的Si和Sa比特需要更新.					
LOXC	STATE2.2	发送时钟丢失 当发送时钟XCLK在一个通道时间(或3.9us)内没有翻转时置位.如果通过XC2.0使能,LOXC将强制为高.					
RCHMF	STATE2.1	接收CRC4复帧 在CRC4复帧边界置位,如果CRC4禁用,将继续没2ms置位.					
XSLIP	STATE2.0	发送弹存滑帧 当弹存发生帧丢失或帧重复时置位.					

接收信息寄存器 ( RI )

地址 : 08H

表11 接收信息寄存器 ( RI )

7	6	5	4	3	2	1	0
XESF	XESE	JASLIP	RESF	RESE	CRCRC	FASRC	CASRC
符号	位置	名称和描述					
XESF	RI.7	发送方向弹存满标志, 当发送方向弹存满且丢掉一帧时置位.					
XESE	RI.6	发送方向弹存空标志, 当发送方向弹存空且重复一帧时置位.					
JASLIP	RI.5	去抖电路滑帧指示, 当去抖的弹存的读写地址差小于4时置位.					
RESF	RI.4	接收方向弹存满标志, 当接收方向弹存满且丢掉一帧时置位.					
RESE	RI.3	接收方向弹存空, 当接收方向弹存空且重复一帧时置位.					
CRCRC	RI.2	CRC 再同步标准满足标志 当915/1000编码字接收错误时置位.					
FASRC	RI.1	FAS再同步标准满足标志 当连续三个帧对位字接收错误时置位.					
CASRC	RI.0	CAS 再同步标准满足标志, 当连续两个复帧对位字接收错误时置位.					



CS21354/CS21554版本寄存器 (ID)

地址：0FH

表12 CS21354/CS21554标志寄存器 (ID)

7	6	5	4	3	2	1	0
1	0	0	0	VER3	VER2	VER1	VER0
符号	位置	名称及描述					
	ID.7	ID.7 = 1, 指示该芯片为E1收发器					
VER3	ID.3	CS21354/CS21554版本标志第3位					
VER2	ID.2	CS21354/CS21554版本标志第2位					
VER1	ID.1	CS21354/CS21554版本标志第1位					
VER0	ID.0	CS21354/CS21554版本标志第0位					

接收控制寄存器1 (RC1)

地址：10H

表13 接收控制寄存器 (RC1)

7	6	5	4	3	2	1	0
RSMF	RSM	RSIO	-	-	FRC	SYNE	RESYN
符号	位置	名称和描述					
RSMF	RC1.7	RSYN 复帧功能,仅在RC1.6=1时使用(即RSYN管脚设为复帧模式时) 0=RSYN 输出 CAS 复帧边界. 1=RSYN 输出 CRC4 复帧边界.					
RSM	RC1.6	RSYN 模式选择 0=帧模式 1=复帧模式					
RSIO	RC1.5	RSYN管脚输入/输出控制, 在RC2.1=0 (即弹存禁止)时该位必须置0. 0=RSYN 是输出 1=RSYN 是输入,仅当弹存使能是有效.					
-	RC1.4	未指定					
-	RC1.3	未指定					
FRC	RC1.2	帧再同步标准选择 0=当连续三个帧对位信号接收错误时重新同步. 1=当连续三个帧对位信号接收错误或连续三个非帧对位信号的第二位接收错误时重新同步.					
SYNE	RC1.1	自动再同步使能 0=自动再同步使能 1=自动再同步不使能					
RESYN	RC1.0	再同步控制信号. 只有从低跳到高时,启动一次再同步.					

表14 同步及再同步标准

帧/复帧	同步标准	再同步标准	ITU.T 标准
FAS	在第N帧和第N+2帧中找到帧对	连续三个帧对位信号接收错	G.706



帧/复帧	同步标准	再同步标准	ITU.T 标准
	位信号,且在第N+1帧中有非帧对位信号	误.或RC1.2=1时, 满足以上标准或连续三个非帧对位信号的第二位接收错误.	4.1.1 4.1.2
CRC4	8ms内找到两个复帧对位字	接收到的1000个CRC4编码字中有不小于915个错误.	G.706 4.2 4.3.2
CAS	找到有效的复帧对位字且前一个16时隙包含码字而非全零.	连续两个复帧对位字接收错误.	

### 接收控制寄存器2 (RC2)

地址: 11H

表15 接收控制寄存器2 (RC2)

7	6	5	4	3	2	1	0
Sa8E	Sa7E	Sa6E	Sa5E	Sa4E	1	RESEN	-
符号	位置	名称和描述					
Sa8E	RC2.7	Sa8 比特选择 0=在 Sa8 bit 位置RLCK为低. 1=在 Sa8 bit 位置RLCK有脉冲.					
Sa7E	RC2.6	Sa7 比特选择 0=在 Sa8 bit 位置RLCK为低. 1=在 Sa8 bit 位置RLCK有脉冲.					
Sa6E	RC2.5	Sa6 比特选择 0=在 Sa8 bit 位置RLCK为低. 1=在 Sa8 bit 位置RLCK有脉冲.					
Sa5E	RC2.4	Sa5 比特选择 0=在 Sa8 bit 位置RLCK为低. 1=在 Sa8 bit 位置RLCK有脉冲.					
Sa4E	RC2.3	Sa4 比特选择 0=在 Sa8 bit 位置RLCK为低. 1=在 Sa8 bit 位置RLCK有脉冲.					
1	RC2.2	表示接收方向系统时钟RSCK选择2.048MHz					
RESEN	RC2.1	接收方向弹存使能 0=弹存不使能 1=弹存使能					
-	RC2.0	未指定					

### 发送控制寄存器1 (XC1)

地址: 12H

表16 发送控制寄存器1 (XC1)

7	6	5	4	3	2	1	0
ODFS	XFPT	X16S	XUAO	XSiS	XSAO	XSM	XSYNS
符号	位置	名称和描述					



ODFS	XC1.7	输出数据格式选择 0=在 XDPO 和 XDNO 输出双极码 1=在 XDPO 和 XDNO 输出不归零码
XFPT	XC1.6	发送0时隙来源 0=FAS/Sa/RA 来自内部TAF和TNAF寄存器. 1= FAS/Sa/RA来自外部输入管脚XSER
X16S	XC1.5	待发送的第16时隙数据来源选择 0=从XSER管脚输入. 1=从XS0到XS15寄存器取数据.
XUAO	XC1.4	发送非帧结构的全1 ( One ) 码 0=正常发送数据. 1=在XDPO和XDNO发送非帧结构的全1码.
XSiS	XC1.3	发送方向Si比特选择 0=从XSER管脚采样 Si 比特. 1=从TAF和TNAF寄存器取 Si 比特,XC1.6必须置零.
XSAO	XC1.2	发送方向信令码全1选择 0=正常工作. 1=强制每帧的16时隙为全1.
XSM	XC1.1	XSYN 模式选择 0=帧模式 1=CAS 和 CRC4 复帧模式
XSIO	XC1.0	XSYN管脚的输入输出选择 0=XSYN 输入. 1=XSYN 输出.

### 发送控制寄存器2 (XC2)

地址：13H

表17 发送控制寄存器2 (XC2)

7	6	5	4	3	2	1	0
Sa8E	Sa7E	Sa6E	Sa5E	Sa4E	XODM	AEBE	LOSC
符号	位置	名称和描述					
Sa8E	XC2.7	Sa8输入选择 0=不采样Sa8比特. 1=从XLINK输入 Sa8 比特.					
Sa7E	XC2.6	Sa7输入选择 0=不采样Sa7比特. 1=从XLINK输入 Sa7 比特.					
Sa6E	XC2.5	Sa6输入选择 0=不采样Sa6比特. 1=从XLINK输入 Sa6 比特.					
Sa5E	XC2.4	Sa5输入选择 0=不采样Sa5比特. 1=从XLINK输入 Sa5 比特.					
Sa4E	XC2.3	Sa4输入选择					



		0=不采样Sa4比特. 1=从XLINK输入 Sa4 比特.
XODM	XC2.2	输出数据模式 0=在 XDPO 和 XDNO 输出的脉冲宽度是一个XCKO周期 1=在 XDPO 和 XDNO 输出的脉冲宽度是半个XCKO周期
AEBE	XC2.1	自动发送E-bit使能 0=发送方向不自动插入 E-bits . 1=发送方向自动插入 E-bits.
LOSC	XC2.0	RLOS/LOXC 管脚输出功能选择 0= RLOS , 输出高电平表示接收方向丢失 1=LOXC , 输出高电平表示发送时钟丢失

**通用控制寄存器1 (GCR1)**

地址：14H

表18 通用控制寄存器1 (GCR1)

7	6	5	4	3	2	1	0
FLP	XHDB3	XG802	XCRC4	RSM	RHDB3	RG802	RCRC4
符号	位置	名称和描述					
FLP	GCR1.7	FRAMER环回 0=环回不使能. 1=CS21354/CS21554进入FRAMER环回模式。数据将从发送端环回到接收端。此时XDPO及XDNO管脚的数据将正常发送,而RDPI及RDNI的管脚输入的数据被忽略,同时RCK管脚输出来自XCK。					
XHDB3	GCR1.6	发送HDB3编码使能 0=HDB3 编码不使能. 1=HDB3 编码使能.					
XG802	GCR1.5	发送G.802 使能 0=在第26时隙的第一位,不强制XCHBLK为高. 1=在第26时隙的第一位,强制XCHBLK为高.					
XCRC4	GCR1.4	发送CRC4复帧使能 0=CRC4 复帧不使能. 1=CRC4 复帧使能.					
RSM	GCR1.3	接收信令模式选择 0=CAS 信令模式. 1=CCS 信令模式.					
RHDB3	GCR1.2	接收HDB3解码使能 0=HDB3 解码不使能. 1=HDB3 解码使能.					
RG802	GCR1.1	接收 G.802 使能 0=第26时隙的第一位,不强制RCHBK为高. 1=第26时隙的第一位, 强制RCHBK为高.					
RCRC4	GCR1.0	接收 CRC4 复帧使能 0=CRC4 复帧不使能					



		1=CRC4 复帧使能。
--	--	--------------

**中断控制寄存器1 (ICR1)**

地址：16H

表19 中断控制寄存器1 (ICR1)

7	6	5	4	3	2	1	0
RSOA	RDMA	RSAZ	RSLIP	RUA1	RRA	RCL	RLOS
符号	位置	名称和描述					
RSOA	ICR1.7	接收信令全1 / 信令变化 0=屏蔽中断 1=使能中断					
RDMA	ICR1.6	接收远端复帧告警 0=屏蔽中断 1=使能中断					
RSAZ	ICR1.5	接收信令全0 / 信令变化 0=屏蔽中断 1=使能中断					
RSLIP	ICR1.4	接收弹存发生滑帧 0=屏蔽中断 1=使能中断					
RUA1	ICR1.3	接收非帧结构全1 0=屏蔽中断 1=使能中断					
RRA	ICR1.2	接收远端告警 0=屏蔽中断 1=使能中断					
RCL	ICR1.1	接收载波丢失 0=屏蔽中断 1=使能中断					
RLOS	ICR1.0	接收同步丢失 0=屏蔽中断 1=使能中断					

**中断控制寄存器2 (ICR2)**

地址：17H

表20 中断控制寄存器2 (ICR2)

7	6	5	4	3	2	1	0
RMF	RAF	XMF	SEC	TAF	LOXC	RCHMF	XSLIP
符号	位置	名称和描述					
RMF	ICR2.7	接收CAS复帧 0=屏蔽中断 1=使能中断					
RAF	ICR2.6	接收对位帧 0=屏蔽中断 1=使能中断					



XMF	ICR2.5	发送复帧 0=屏蔽中断 1=使能中断
SEC	ICR2.4	一秒计时器 0=屏蔽中断 1=使能中断
TAF	ICR2.3	发送对位帧 0=屏蔽中断 1=使能中断
LOXC	ICR2.2	发送时钟丢失 0=屏蔽中断 1=使能中断
RCHMF	ICR2.1	接收CRC4复帧 0=屏蔽中断 1=使能中断
XSLIP	ICR2.0	发送方向弹存发生滑帧 0=屏蔽中断 1=使能中断

### 线缆接口控制寄存器 (LIC)

地址：18H。

表20 线缆接口控制寄存器

7		6		5		4		3		2		1		0	
L2	L1	L0	EGL	JAS	JABDS	DJA	XPB								
符号	位置	名称和描述													
L2	LIC.7	线缆输出比特 2													
L1	LIC.6	线缆输出比特 1													
L0	LIC.5	线缆输出比特 0													
EGL	LIC.4	接收均衡器增益限制 0=-12dB 1=-43dB													
JAS	LIC.3	去抖电路选择 0=放在接收侧 1=放在发送侧													
JABDS	LIC.2	去抖弹存深度选择 0=128比特 1=32 比特													
DJA	LIC.1	去抖电路禁止 0=去抖电路使能 1=去抖电路禁止													
XPB	LIC.0	发送三态控制 0=发送方向正常工作 1=发送电路掉电,且XTIP和XRNG输出三态													



### 通用控制寄存器2 (GCR2)

地址：1AH，初始值：

表21 通用控制寄存器2 (GCR2)

7	6	5	4	3	2	1	0
ECRS	VCRF	AAIS	ARA	RSERC	LOXCS	RFS	RFE
符号	位置	名称和描述					
ECRS	GCR2.7	错误计数器更新选择 0=错误计数器每秒更新一次。 1=错误计数器每62.5ms(500帧)更新一次。					
VCRF	GCR2.6	VCR 功能选择 0=极性冲突 (BPV) 错误计数。 1=编码错误 (CV) 错误计数。					
AAIS	GCR2.5	自动的交替翻转码(AIS)产生 0=不使能。 1=使能。					
ARA	GCR2.4	自动远端告警产生 0=不使能。 1=使能。					
RSERC	GCR2.3	RSER 控制 0=允许RSER在任何情况下输出接收到的数据。 1=在帧失步情况下强制RSER为1。					
LOXCS	GCR2.2	发送时钟丢失时发送时钟的输入控制。 决定发送端的帧处理器在XCK停止后是否切换到当前的RCKO。 0=XCK停止后不切换到RCKO。 1=XCK停止后切换到RCKO。					
RFS	GCR2.1	接收强制冻结。 将接收方向在RSIG(如果GCR3.3=1,则是RSER)上的信令冻结.该信号优先级高于接收冻结使能信号(RFE)。 0=不强制冻结。 1=强制冻结。					
RFE	GCR2.0	接收冻结使能 0=接收方向信令数据不冻结。 1=允许在RSIG上的接收方向信令冻结。					
<p>当GCR2.4 = 1或GCR2.5 = 1时(不允许将GCR2.4及GCR2.5置位), CS21354/CS21554将监控接收端状态,当接收帧同步丢失、全1报警、接收端载波丢失任何一个状态发生时,CS21354/CS21554通过XDPO及XDNO产生以下报警:</p> <p>当GCR2.5=1时,全1报警;</p> <p>当GCR2.4 = 1时,远端报警。此时CS21354/CS21554按照ETS300 011 发送RA1;当在400ms内没有发现CRC4复帧同步时,发送远端报警RA。</p>							

### 通用控制寄存器3 (GCR3)

地址：1BH

表22 通用控制寄存器3 (GCR3)



7	6	5	4	3	2	1	0
XESE	XCBFS	XIFS	-	RSRE	XHSE	1	RCLA
符号	位置	名称和描述					
XESE	GCR3.7	发送方向弹存使能 0=发送方向弹存不使能. 1=发送方向弹存使能.					
XCBFS	GCR3.6	发送通道阻塞寄存器(XCBF)功能选择. 0=XCB定义XCHBLK输出管脚的操作. 1=XCB定义要插入哪些信令比特.					
XIFS	GCR3.5	发送空闲寄存器功能选择. 0=XI定义在哪个通道插入空闲码. 1=XI定义在哪个通道插入从RSER来的数据.					
-	GCR3.4	CS21354/CS21554 不使用该位进行弹存复位. 弹存复位分别由 GCR6.0(XESR), GCR6.1 (RSER) 控制发送、接收弹存复位。 CS2154使用该位进行弹存复位, 当该位从1跳变到0时会强制弹存到一定的深度.ESR是电平触发.必须在RSCK和XSCK存在且稳定后翻转.以后再复位必须先置位再清零.该信号平时不要设置为1。					
RSRE	GCR3.3	接收方向信令再插入使能 0=不在RSER管脚的数据流中再插入信令比特. 1=在RSER管脚的数据流中再插入信令比特.					
XHSE	GCR3.2	发送方向硬件信令插入使能 0=不在XSER管脚的数据流中插入来自XSIG管脚的信令. 1=在XSER管脚的数据流中插入来自XSIG管脚的信令.					
1/0	GCR3.1	<b>强制为1,不可写。表示发送方向背板时钟为 2.048MHz.(写0时也是)</b>					
RCLA	GCR3.0	接收载波丢失的不同标准. 0=255(125us)个连0时报接收载波丢失. 1=2048(1ms)个连0时报接收载波丢失.					
<p>由于内部寄存器的内容在上电时是不可预测的, 所以, 在系统上电后, 电源稳定的情况下, 寄存器操作如下:</p> <ol style="list-style-type: none"> <li>1、首先利用写操作对寄存器进行配置;</li> <li>2、LIRST比特从0到1翻转来复位线接口配置, 此状态大约需要40ms时间;</li> <li>3、当RSCK及XSCK输入稳定时, ESR比特以0 - &gt;1 - &gt;0顺序翻转来复位弹存(当不使用弹存时, 此翻转可忽略)。</li> </ol>							

**Sa插入控制寄存器 (XsaC)**

地址: 1CH

表23 Sa插入控制寄存器 (XsaC)

7	6	5	4	3	2	1	0
SiAF	SiNAF	RA	Sa4	Sa5	Sa6	Sa7	Sa8
符号	位置	名称和描述					
SiAF	XSaC.7	对位帧Si比特插入控制 0=不从XSiAF寄存器向发送数据流中插入数据 1=从XSiAF寄存器向发送数据流中插入数据					



SiNAF	XSaC.6	非对位帧Si比特插入控制 0=不从XSiNAF寄存器向发送数据流中插入数据 1=从XSiNAF寄存器向发送数据流中插入数据
RA	XSaC.5	远端告警插入控制比特 0=不从XRA寄存器向发送数据流中插入数据 1=从XRA寄存器向发送数据流中插入数据
Sa4	XSaC.4	Sa4插入控制比特 0=不从XSa4寄存器向发送数据流插入数据 1=从XSa4寄存器向发送数据流插入数据
Sa5	XSaC.3	Sa5插入控制比特 0=不从XSa5寄存器向发送数据流插入数据 1=从XSa5寄存器向发送数据流插入数据
Sa6	XSaC.2	Sa6插入控制比特 0=不从XSa6寄存器向发送数据流插入数据 1=从XSa6寄存器向发送数据流插入数据
Sa7	XSaC.1	Sa7插入控制比特 0=不从XSa7寄存器向发送数据流插入数据 1=从XSa7寄存器向发送数据流插入数据
Sa8	XSaC.0	Sa8插入控制比特 0=不从XSa8寄存器向发送数据流插入数据 1=从XSa8寄存器向发送数据流插入数据

通用控制寄存器6 (GCR6)

地址：1DH

表24 通用控制寄存器6 (GCR6)

7	6	5	4	3	2	1	0
OPDEN	CDIGE	LIUSIE	-	-	XCKSRC	RESR	XESR
符号	位置	名称和描述					
OPDEN	GCR6.7	线路接口开漏输出选择 0=XTIP、XRNG正常工作 1=XTIP、XRNG开漏输出					
CDIGE	GCR6.6	用户断路指示控制 0=在XTIP、XRNG正常输出从XDPI、XDPNI输入的数据 1=在XTIP、XRNG输出...101010...数据					
LIUSIE	GCR6.5	线路接口G.703同步接口使能 0=线路接收端支持标准的E1信号(G.703 Section 6) 1=线路接收支持同步信号(G.703 Section 10)					
-	GCR6.4	未使用					
-	GCR6.3	未使用					
XCKSRC	GCR6.2	发送时钟源选择 0=发送时钟通过配置GCR2.2(LOXCMC)选择 1=XCK通过内部直接来自RCK, XCK管脚被旁路					
RESR	GCR6.1	接收弹性缓存复位比特 当RESR从0变化为1时, 复位接收通信缓存至一帧深度, 接收数据在复位时丢失。必须在RSCK稳定后进行复位, 若再次复位, 必须先清					



		零，再拉高进行复位
XESR	GCR6.0	发送缓存复位比特 当XSR从0变化为1时,复位发送缓存至一帧深度,发送在复位时丢失。 必须在XCK稳定后进行复位,若再次复位,必须先清零,再拉高进行复位

**同步状态寄存器 (SYNCR)**

地址：1EH

表25 同步状态寄存器 (SYNCR)

7	6	5	4	3	2	1	0
CSC5	CSC4	CSC3	CSC2	CSC0	FASS	CASS	CRC4S
符号	位置	名称和描述					
CSC5	SYNCR.7	CRC4 同步计数器第5位,最高位.					
CSC4	SYNCR.6	CRC4 同步计数器第4位					
CSC3	SYNCR.5	CRC4 同步计数器第3位					
CSC2	SYNCR.4	CRC4 同步计数器第2位					
CSC0	SYNCR.3	CRC4 同步计数器第1位,最低位					
FASS	SYNCR.2	基帧同步搜索状态指示,当接收通路正在进行基帧FAS同步搜索时置1.					
CASS	SYNCR.1	CAS复帧同步搜索状态指示,当接收通路正在进行CAS复帧同步搜索时置1.					
CRC4S	SYNCR.0	CRC4复帧同步搜索状态指示,当接收通路正在进行CRC4 复帧同步搜索时置1. 每次8ms的CRC4同步搜索时间用完后, CRC4 同步计数器加 1。计数器在以下两种情况下清零:成功地获得CRC4同步、CRC4工作模式被禁止(GCR1.0=0)。计数器在确定芯片搜索CRC4同步的时间方面是非常重要的。按照ITU G.706的规定,如果在400ms内无法获取CRC4同步信号,搜索将停止,系统将采取其他的措施。CRC4同步计数器采用滚动计数方式。					

**接收非帧对位字寄存器 (RNAF)**

地址：1FH

表26 接收非帧对位字寄存器 (RNAF)

7	6	5	4	3	2	1	0
Si	1	A	Sa4	Sa5	Sa6	Sa7	Sa8
符号	位置	名称和描述					
Si	RNAF.7	Si比特					
1	RNAF.6	非帧对位信号比特					
A	RNAF.5	远端告警					
Sa4	RNAF.4	Sa4					
Sa5	RNAF.3	Sa5					
Sa6	RNAF.2	Sa6					



Sa7	RNAF.1	Sa7
Sa8	RNAF.0	Sa8

**发送帧对位字寄存器名称 (TAF)**

地址：20H

表27 发送帧对位字寄存器名称 (TAF)

7	6	5	4	3	2	1	0
Si	0	0	1	1	0	1	1
符号	位置	名称和描述					
Si	TAF.7	Si比特					
0	TAF.6	帧对位比特					
0	TAF.5	帧对位比特					
1	TAF.4	帧对位比特					
1	TAF.3	帧对位比特					
0	TAF.2	帧对位比特					
1	TAF.1	帧对位比特					
1	TAF.0	帧对位比特					

**发送非帧对位字寄存器 (TNAF)**

地址：21H

表28 发送非帧对位字寄存器 (TNAF)

7	6	5	4	3	2	1	0
Si	1	A	Sa4	Sa5	Sa6	Sa7	Sa8
符号	位置	名称和描述					
Si	TNAF.7	Si比特					
1	TNAF.6	非对位帧比特					
A	TNAF.5	远端告警					
Sa4	TNAF.4	Sa4					
Sa5	TNAF.3	Sa5					
Sa6	TNAF.2	Sa6					
Sa7	TNAF.1	Sa7					
Sa8	TNAF.0	Sa8					

**基于硬件的信令处理****1. 接收侧**

在接收侧,基于硬件的信令处理模式下,CS21354/CS21554从接收的数据流中获得信令比特、将信令比特通过两个复帧寄存器缓冲后以串行的PCM码按通道的顺序从RSIG管脚输出。如果接收端弹性缓存使能,背板时钟(RSCK)必须为2.048MHz,ABCD信令比特在每个信道的低4位位置从RSIG输出,如果没有发生信令冻结,RSIG数据则每隔2ms(一个复帧)更新一次。

如果设置RSRE = 1,CS21354/CS21554工作在信令重插入模式,在此模式下,需要从RSYN管脚输入复帧同步信号,从RSER输出的PCM格式数据中的信令将按照复帧边界来对位,此时弹



性缓存必须使能，背板时钟（RSCK）必须为2.048MHz。

如果控制比特置位（即RFE = 1），当发生同步信号丢失、载波丢失或滑帧时，在两个复帧缓存中的信令数据将被冻结。CS21354/CS21554可以通过置位RFF来强制信令冻结（强制信令冻结与同步丢失、载波丢失或帧滑动时引起的信令冻结在效果上是相同的）。信令冻结标志从RSIGF管脚输出，一旦冻结的条件满足，RSIGF管脚即被置位；一旦信令冻结条件不满足，在等待3ms~5ms后，RSIGF输出为低（RSIGF管脚的输出不能够被禁止）。

两个复帧缓冲器为RSIG管脚的输出的信令提供了约1个复帧时间的延迟；通过设置RSRE = 1（GCR3.3），RSER管脚的信令输出延迟1个复帧。当信令冻结使能时，信令被保持在最后的已知的正确状态，直到信令冻结条件不满足，信令数据将会被保持3ms~5ms后才允许信令数据更新。

## 2. 发送侧

如果设置控制位XHSE = 1，CS21354/CS21554可以将XSIG管脚输入的信令插入到XSER管脚输入的PCM格式数据流的中。在弹存使能情况下，背板时钟RSCK必须为2.048MHz。

当CS21354/CS21554中的硬件信令插入使能(XSE=1)时，必须置位XCBFS（即GCR3.6=1），此时可以将CAS复帧对位字、复帧远端报警、空闲比特等加入到复帧结构中第0帧的时隙16内（XS1寄存器应当设置适当的信息）。当GCR3.6=1，XCBs = 0时，信令数据从XSER获得（GCR3.2=1时，信令数据从XSIG获得）；当XCBs=1时，信令数据从相应的XS寄存器中获得。

可以利用此功能来获得一组混合的信令，即部分信令从XSIG管脚获得，部分信令从信令寄存器XS中获得。例如用户希望话音通道5及10的信令由寄存器提供，其余通道的信令由XSIG输入获得，相应的设置如下：

控制比特设置：XSE=1 (GCR3.2)

XCBFS=1 (GCR3.6)

X16S=1 (XC1.5)

寄存器设置：XS1=0BH (复帧对位字、远端报警等)

XCB1=03H (使能发送端信令寄存器的相应功能)

XCB2=01H (从XS6中获得话音通道5的信令数据)

XCB3=04H (从XS11中获得话音通道10的信令数据)

XCB4=00H

## 时钟阻塞寄存器

接收通道阻塞寄存器(RCB1 ~ 4)和发送通道阻塞寄存器(XCB1 ~ 4)能够分别控制RCHBLK和XCHBLK管脚的输出。通过设置寄存器，可以使得相应的管脚在某个通道时间内为高或低。在ISDN - PRI应用中，此两个管脚的输出可以阻挡时钟信号进入USART和LAPD控制器。当某个比特被设



置为高时，RCHBLK和XCHBLK的管脚输出在整个信道时间内为高；否则为低。

XCB寄存器的另外可用来确定逐个信道的信令插入方式。在GCR3.6=时，当XCB寄存器中的某个比特为1时，相应信道的信令由TS寄存器中的数值确定；当某个比特为0时，相应信道的信令由XSER和XSIG管脚的输入确定。

### 发送时钟阻塞寄存器 (XCB1 ~ 4)

地址：22H ~ 25H

表29 发送时钟阻塞寄存器 (XCB1 ~ 4)

地址	名称	7	6	5	4	3	2	1	0
22H	XCB1	CH8	CH7	CH6	CH5	CH4	CH3	CH2	CH1
23H	XCB2	CH16	CH15	CH14	CH13	CH12	CH11	CH10	CH9
24H	XCB3	CH24	CH23	CH22	CH21	CH20	CH19	CH18	CH17
25H	XCB4	CH32	CH31	CH30	CH29	CH28	CH27	CH26	CH25
符号	位置	名称和描述							
CH32	XCB4.7	发送通道阻塞寄存器							
CH1	XCB1.0	0=在该通道时间强制XCHBLK管脚为低 1=在该通道时间强制XCHBLK管脚为高							
*在GCR3.6=1时的定义，CH1及CH17通道应设置为1以允许内部的XS1寄存器产生CAS复帧对位字及空闲/远端报警比特									

### 单通道编码产生

在接收和发送两个方向上，CS21354/CS21554都能够逐个信道进行数据替换。

### 发送侧编码产生

在CS21354/CS21554中，有两种方法可以使来自背板的发送数据被CS21354/CS21554自身产生的数据覆盖。

#### 1. 简单的空闲编码插入和单通道环回

当GCR3.5控制比特被置为0时，设置发送空闲寄存器(XI1 ~ 4)，32个E1信道中的相应信道数据被XID寄存器中的数据替代；此方法允许同样的8比特数据被置于32信道中的任何一个信道。

发送空闲寄存器的另外一个功能是定义单通道环回(PCLP)。将GCR3.5的控制比特置为1时，XI寄存器将确定来自背板的哪个通道的数据将会被接收端对应通道的数据替换，但此时接收及发送的时钟信号和帧同步信号必须同步（将RCK与XCK连接，RFSYN与XSYN连接）。具体哪一个通道加入单环回或多少通道加入单环回是没有限制的。

### 发送空闲寄存器 (XI1 ~ 4)

地址：26H ~ 29H



表30 发送空闲寄存器 (X11 ~ 4)

地址	名称	7	6	5	4	3	2	1	0
26H	XI1	CH8	CH7	CH6	CH5	CH4	CH3	CH2	CH1
27H	XI2	CH16	CH15	CH14	CH13	CH12	CH11	CH9	CH8
28H	XI3	CH24	CH23	CH22	CH21	CH20	CH19	CH18	CH17
29H	XI4	CH32	CH31	CH30	CH29	CH28	CH27	CH26	CH25
符号	位置	名称和描述							
CH32	XI4.7	发送空闲码控制寄存器 0=不在该通道XID插入空闲码 1=在该通道XID插入空闲码							
CH1	XI1.0								
*如果GCR3.5=1，当XI寄存器中的相应比特数值为0时，信道的数据从XSER获得；当相应比特数值为1时，信道的数据从接收端帧处理器的输出获得。									

### 发送空闲选择寄存器 (XID)

地址：2AH

	7	6	5	4	3	2	1	0
XID7	XID6	XID5	XID4	XID3	XID2	XID1	XID0	
符号	位置	名称和描述						
XID7	XID.7	空闲码最高位 (该位最先发送)						
XID0	XID.0	空闲码最低位 (该位最后发送)						

### 接收时钟阻塞寄存器 (RCB1 ~ 4)

地址：2B ~ 2EH

表31 接收时钟阻塞寄存器 (RCB1 ~ 4)

地址	名称	7	6	5	4	3	2	1	0
2BH	RCB1	CH8	CH7	CH6	CH5	CH4	CH3	CH2	CH1
2CH	RCB2	CH16	CH15	CH14	CH13	CH12	CH11	CH10	CH9
2DH	RCB3	CH24	CH23	CH22	CH21	CH20	CH19	CH18	CH17
2EH	RCB4	CH32	CH31	CH30	CH29	CH28	CH27	CH26	CH25
符号	位置	名称和描述							
CH32	RCB4.7	接收通道阻塞寄存器 0=在该通道时间强制RCHBLK管脚为低 1=在该通道时间强制RCHBLK管脚为高							
CH1	RCB1.0								

### 基于双帧的内部寄存器操作

寄存器RAF及RNAF能够报告从Sa及Si比特位置提取到的数据。当寄存器STATE2中的RAF = 1(STATE2.6)时，更新RAF及RNAF寄存器。状态寄存器STATE2的TAF = 1 (STATE2.3) 时，则TAF及TNAF寄存器更新。

在以下情况时，从XSER管脚获得Si比特、工作于CRC4模式、自动E-bit插入使能时，Si比特会被覆盖。



在XC2.3~XC2.7被置位时，Sa比特即被覆盖。

### 接收帧对位字寄存器 (RAF)

地址：2FH

表32 接收帧对位字寄存器 (RAF)

7	6	5	4	3	2	1	0
Si	0	0	1	1	0	1	1
符号	位置	名称和描述					
Si	RAF.7	Si比特					
0	RAF.6	帧对位信号比特					
0	RAF.5	帧对位信号比特					
1	RAF.4	帧对位信号比特					
1	RAF.3	帧对位信号比特					
0	RAF.2	帧对位信号比特					
1	RAF.1	帧对位信号比特					
1	RAF.0	帧对位信号比特					

### CS21354/CS21554信令操作

CS21354/CS21554内部结构可以支持基于微处理器和基于硬件的两种信令处理方式。可以同时利用两种方式对信令进行处理。

### 处理器方式信令操作

CS21354/CS21554从输入的E1数据中提取随路信令CAS比特，然后自动置于发送数据中。在30个话音通道中，每一个通道都有与之关联的4比特信令A/B/C/D（话音通道的序号命名按ITU文件规定，与CS21354/CS21554的序列号1~32不同。例如，话音通道1对应时隙1，即CS21354/CS21554的通道2；话音通道30对应时隙31，即CS21354/CS21554的CH32）。在CS21354/CS21554的接收端和发送端，各有16个寄存器，支持对信令的处理。

### 接收信令寄存器 (RS1 ~ 16)

地址：30 ~ 3FH

表33 接收信令操作寄存器 (RS1 ~ 16)

地址	名称	7	6	5	4	3	2	1	0
30H	RS1	0	0	0	0	X	Y	X	X
31H	RS2	A(1)	B(1)	C(1)	D(1)	A(16)	B(16)	C(16)	D(16)
32H	RS3	A(2)	B(2)	C(2)	D(2)	A(17)	B(17)	C(17)	D(17)
33H	RS4	A(3)	B(3)	C(3)	D(3)	A(18)	B(18)	C(18)	D(18)
34H	RS5	A(4)	B(4)	C(4)	D(4)	A(19)	B(19)	C(19)	D(19)
35H	RS6	A(5)	B(5)	C(5)	D(5)	A(20)	B(20)	C(20)	D(20)
36H	RS7	A(6)	B(6)	C(6)	D(6)	A(21)	B(21)	C(21)	D(21)
37H	RS8	A(7)	B(7)	C(7)	D(7)	A(22)	B(22)	C(22)	D(22)
38H	RS9	A(8)	B(8)	C(8)	D(8)	A(23)	B(23)	C(23)	D(23)



地址	名称	7	6	5	4	3	2	1	0
39H	RS10	A(9)	B(9)	C(9)	D(9)	A(24)	B(24)	C(24)	D(24)
3AH	RS11	A(10)	B(10)	C(10)	D(10)	A(25)	B(25)	C(25)	D(25)
3BH	RS12	A(11)	B(11)	C(11)	D(11)	A(26)	B(26)	C(26)	D(26)
3CH	RS13	A(12)	B(12)	C(12)	D(12)	A(27)	B(27)	C(27)	D(27)
3DH	RS14	A(13)	B(13)	C(13)	D(13)	A(28)	B(28)	C(28)	D(28)
3EH	RS15	A(14)	B(14)	C(14)	D(14)	A(29)	B(29)	C(29)	D(29)
3FH	RS16	A(15)	B(15)	C(15)	D(15)	A(30)	B(30)	C(30)	D(30)
符号	位置	名称和描述							
X	RS1.0/1/3	多余位							
Y	RS1.2	远端警告位							
	RS2.7	通道1的A比特信令							
	RS16.0	通道30的D比特信令							

每一个接收信令寄存器包含了从两个时隙来的信令比特信息。由于接收信令寄存器中的比特信息在复帧边界更新，因此用户可以利用状态寄存器中STATE2.7比特产生的接收复帧中断序号来确定何时获取信令比特。在信令信息丢失之前，用户有2ms时间获取此信息；RS寄存器的信息是即时更新的，通过查验CAS模式下的同步可以判断信息是否有效。在CCS模式下RS寄存器同样可以提取信令信息。用户可以通过STATE2.7比特获知信令寄存器装载数据的时间；用户同样有2ms时间来获取数据。信令寄存器中的数据同样可以从RSIG和RSER管脚获知。

从一个复帧到另一个复帧信令比特的变化导致RSAO及RSAZ被同时置位。通过设置ICR1.5和ICR1.7比特，用户可以使CS21354/CS21554在探测到信令变化时，使得INT翻转为低；一旦探测到信令变化，在RS1 ~ 16 数据丢失之前，用户至少有1.75ms时间来读RS寄存器。

### 发送信令寄存器(XS1 ~ 16)

地址：40H ~ 4FH

表34 发送信令操作寄存器 (XS1 ~ 16)

地址	名称	7	6	5	4	3	2	1	0
40H	XS1	0	0	0	0	X	Y	X	X
41H	XS2	A(1)	B(1)	C(1)	D(1)	A(16)	B(16)	C(16)	D(16)
42H	XS3	A(2)	B(2)	C(2)	D(2)	A(17)	B(17)	C(17)	D(17)
43H	XS4	A(3)	B(3)	C(3)	D(3)	A(18)	B(18)	C(18)	D(18)
44H	XS5	A(4)	B(4)	C(4)	D(4)	A(19)	B(19)	C(19)	D(19)
45H	XS6	A(5)	B(5)	C(5)	D(5)	A(20)	B(20)	C(20)	D(20)
46H	XS7	A(6)	B(6)	C(6)	D(6)	A(21)	B(21)	C(21)	D(21)
47H	XS8	A(7)	B(7)	C(7)	D(7)	A(22)	B(22)	C(22)	D(22)
48H	XS9	A(8)	B(8)	C(8)	D(8)	A(23)	B(23)	C(23)	D(23)
49H	XS10	A(9)	B(9)	C(9)	D(9)	A(24)	B(24)	C(24)	D(24)
4AH	XS11	A(10)	B(10)	C(10)	D(10)	A(25)	B(25)	C(25)	D(25)
4BH	XS12	A(11)	B(11)	C(11)	D(11)	A(26)	B(26)	C(26)	D(26)
4CH	XS13	A(12)	B(12)	C(12)	D(12)	A(27)	B(27)	C(27)	D(27)
4DH	XS14	A(13)	B(13)	C(13)	D(13)	A(28)	B(28)	C(28)	D(28)



4EH	XS15	A(14)	B(14)	C(14)	D(14)	A(29)	B(29)	C(29)	D(29)
4FH	XS16	A(15)	B(15)	C(15)	D(15)	A(30)	B(30)	C(30)	D(30)
符号	位置	名称和描述							
X	TS1.0/1/3	多余位							
Y	TS1.2	远端警告位							
A(1)	TS2.7	通道1的A比特信令							
D(30)	TS16.0	通道30的D比特信令							

每一个发送信令寄存器中包含两个时隙的CAS比特，通过设置XC1.5比特，可以将此信令插入到即将发送的数据流中。在复帧边界，CS21354/CS21554将发送信令寄存器中的数据装载入内部的发送移位寄存器中。用户可以通过状态寄存器中的发送复帧(STATE2.5)比特来获知信令更新的时间；信令数据每隔2ms更新一次，用户在重新发送前有2ms的时间来更新此数据。ITU规定ABCD的信令信息不能够全部为0，因为其与CAS复帧的对位字类似。

发送信令寄存器XS1的特别之处是其高四位为CAS复帧对位字；寄存器高4位应设置为0000，否则远端接收将丢失复帧同步。如果用户希望发送复帧报警至远端，XS1.2应被置位；如果无报警发送，XS1.2应被清零。XS1寄存器中的其余比特为空比特，不使用时应将它们置1。在CCS信令模式，寄存器XS1~XS16也可以用来插入信令信息。通过设置STATE2.5比特，用户可以获知何时装载信令寄存器。在信令被发送前，用户有2ms时间来装载数据。通过设置GCR3.6比特，用户可以利用XCB寄存器对每一个信道进行工作模式的选择。当相应的XCBs = 1时，信令比特通过XSER插入；相应的XCBs = 0时，信令通过XSER或XSIG获得。

### CRC4复帧的内部寄存器操作

在接收侧，有8个寄存器对接收到的Sa及Si比特进行指示，当SR寄存器中接收CRC4复帧比特(STATE2.1)，可以对上述寄存器进行更新。主机可以利用STATE2.1比特获知何时读取上述寄存器。在数据丢失前，主机有2ms时间来读取以上数据。寄存器中的MSB是最先收到的数据。

在发送侧，同样有8个寄存器。通过设置XSaC寄存器，可以插入Sa及Si数据。通过设置寄存器STATE2.5，可以对上述寄存器中的数据采样；主机利用STATE2.5可以确定何时更新上述寄存器。在发送原有数据之前，主机有2ms时间对数据进行更新。每一个寄存器中的MSB首先发送出去。

地址	寄存器名	描述
50H	XSiAF	插入对位帧的8个比特
51H	XSiNAF	插入非对位帧的8个比特
52H	XRA	要发送的8个远端告警设置
53H	XSa4	每个CRC4复帧的8个Sa4比特设置
54H	XSa5	每个CRC4复帧的8个Sa5比特设置
55H	XSa6	每个CRC4复帧的8个Sa6比特设置
56H	XSa7	每个CRC4复帧的8个Sa7比特设置
57H	XSa8	每个CRC4复帧的8个Sa8比特设置



地址	寄存器名	描述
50H	XSiAF	插入对位帧的8个比特
51H	XSiNAF	插入非对位帧的8个比特
52H	XRA	要发送的8个远端告警设置
53H	XSa4	每个CRC4复帧的8个Sa4比特设置
54H	XSa5	每个CRC4复帧的8个Sa5比特设置
55H	XSa6	每个CRC4复帧的8个Sa6比特设置
56H	XSa7	每个CRC4复帧的8个Sa7比特设置
57H	XSa8	每个CRC4复帧的8个Sa8比特设置
58H	RSiAF	对位帧中的8个Si比特
59H	RSiNAF	非对位帧中的8个Si比特
5AH	RRA	接收的8个远端告警信号
5BH	RSa4	每个CRC4复帧的8个Sa4报告
5CH	RSa5	每个CRC4复帧的8个Sa5报告
5DH	RSa6	每个CRC4复帧的8个Sa6报告
5EH	RSa7	每个CRC4复帧的8个Sa7报告
5FH	RSa8	每个CRC4复帧的8个Sa8报告

**发送信道控制寄存器(XC1 ~ 32)**

地址：60 ~ 7FH

表35 发送信道控制寄存器(XC1 ~ 32)

7	6	5	4	3	2	1	0
C7	C6	C5	C4	C3	C2	C1	C0
符号	位置	描述					
C7	XCx.7	编码最高位 (该位最先发送)					
C0	XCx.0	编码最低位 (该位最后发送)					
设置发送信道控制寄存器来确定32个E1通道中哪一个通道被相应的发送信道寄存器中的数据替代。此方法具有更大的灵活性，32个E1通道间填充的编码可以互不相同。							

**接收信道控制寄存器(RC1 ~ 32)**

地址：80H ~ 9FH

表36 接收信道控制寄存器(RC1 ~ RC32)

7	6	5	4	3	2	1	0
C7	C6	C5	C4	C3	C2	C1	C0
符号	位置	名称和描述					
C7	RC1.7	编码最高位 (该位最先发送到背板)					
C0	RC1.0	编码最低位 (该位最后发送到背板)					
在接收侧，接收信道控制寄存器确定32个E1信道中哪一个信道的数据被接收信道寄存器中的数据所替代。							



### 发送数据插入控制寄存器 (XCC1 ~ 4)

地址：A0H~A3H

表37 发送数据插入控制寄存器 (XCC1 ~ 4)

地址	名称	7	6	5	4	3	2	1	0
A0H	XCC1	CH8	CH7	CH6	CH5	CH4	CH3	CH2	CH1
A1H	XCC2	CH16	CH15	CH14	CH13	CH12	CH11	CH10	CH9
A2H	XCC3	CH24	CH23	CH22	CH21	CH20	CH19	CH18	CH17
A3H	XCC4	CH32	CH31	CH30	CH29	CH28	CH27	CH26	CH25
符号	位置	名称和描述							
CH1	XCC1.0	发送1通道的编码插入控制位 0=不从XC1寄存器在发送数据流中插入数据 1=从XC1寄存器在发送数据流中插入数据							
CH32	XCC4.7	发送1通道的编码插入控制位 0=不从XC32寄存器在发送数据流中插入数据 1=从XC32寄存器在发送数据流中插入数据							

### 接收数据插入控制寄存器名 (RCC1 ~ 4)

地址：A4H~A7H

表38 接收数据插入控制寄存器名 (RCC1 ~ 4)

地址	名称	7	6	5	4	3	2	1	0
A4H	RCC1	CH8	CH7	CH6	CH5	CH4	CH3	CH2	CH1
A5H	RCC2	CH16	CH15	CH14	CH13	CH12	CH11	CH10	CH9
A6H	RCC3	CH24	CH23	CH22	CH21	CH20	CH19	CH18	CH17
A7H	RCC4	CH32	CH31	CH30	CH29	CH28	CH27	CH26	CH25
符号	位置	名称和描述							
CH1	RCC1.0	接收1通道编码插入控制位 0=不将RC1寄存器的数据插入到接收数据流 1= 将RC1寄存器的数据插入到接收数据流							
CH32	RCC4.7	接收32通道编码插入控制位 0=不将RC32寄存器的数据插入到接收数据流 1= 将RC32寄存器的数据插入到接收数据流							

### 通用控制寄存器4 (GCR4)

地址：A8H

表39 通用控制寄存器4 (GCR4)

		7	6	5	4	3	2	1	0
		RLP	LLP	LA1S	XCHM4	XCHM3	XCHM2	XCHM1	XCHM0
符号	位置	名称和描述							
RLP	GCR4.7	远端环回控制 0=远端环回不使能。 1=远端环回使能。 , RDP1及RDNI的数据输入将从XDPO及XDNO输出。接收端帧处理器正常工作，发送成帧发送的数据被旁路。							



LLP	GCR4.6	本地环回 0=本地环回不使能. 1=本地环回使能, 发送端成帧的数据正常发送, 直接将发送数据环回到接收帧处理模块, 从RTIP及RRNG接收恢复的数据被旁路。此环回下的数据可以选择是否通过抖动衰减电路。
LA1S	GCR4.5	线路接口AIS发生控制 0=允许正常数据从 XDPI/XDNI 发送到 XTIP 和 XRNG. 1=强制非帧结构的全1码发送到XTIP和XRNG.
XCHM4	GCR4.4	发送通道监控选择第4比特 通道解码的最高位, 决定哪个发送通道的数据输出到XDS0寄存器.
XCHM3	GCR4.3	发送通道监控选择第3比特
XCHM2	GCR4.2	发送通道监控选择第2比特
XCHM1	GCR4.1	发送通道监控选择第1比特
XCHM0	GCR4.0	发送通道监控选择第0比特 通道解码的最低位.

### DS0监控寄存器

CS21354/CS21554可以同时为64kbps的一个发送端DS0信道和一个接收端DS0信道进行监控。发送端监控的信道由GCR4寄存器中的XCHM0 ~ XCHM4比特指定；接收端监控的信道由GCR5寄存器中的RCHM0 ~ RCHM4比特指定。指定的发送端DS0信道将在TDSM0寄存器中显示；指定的接收端DS0信道将在RDSM0寄存器中显示。XCHM0 ~ XCHM4比特和RCHM0 ~ RCHM4比特应与相应的10进制数值间正确转换。

$$\text{指定的发送端信道} = \text{XCHM4} \times 16 + \text{XCHM3} \times 8 + \text{XCHM2} \times 4 + \text{XCHM1} \times 2 + \text{XCHM0} + 1$$

$$\text{指定的接收端信道} = \text{RCHM4} \times 16 + \text{RCHM3} \times 8 + \text{RCHM2} \times 4 + \text{RCHM1} \times 2 + \text{RCHM0} + 1$$

### 发送端DS0监控寄存器 (XDS0)

地址：A9H

表40 发送端DS0监控寄存器 (XDS0)

7	6	5	4	3	2	1	0
B1	B2	B3	B4	B5	B6	B7	B8
符号	位置	名称和描述					
B1	XDS0.7	发送 DS0 通道第8位,最高位					
B2	XDS0.6	发送 DS0 通道第7位					
B3	XDS0.5	发送 DS0 通道第6位					
B4	XDS0.4	发送 DS0 通道第5位					
B5	XDS0.3	发送 DS0 通道第4位					
B6	XDS0.2	发送 DS0 通道第3位					
B7	XDS0.1	发送 DS0 通道第2位					
B8	XDS0.0	发送 DS0 通道第1位,最低位					

### 接收端DS0监控寄存器 (RDS0)



地址：ABH

表41 接收端DS0监控寄存器 (RDS0)

7	6	5	4	3	2	1	0
B1	B2	B3	B4	B5	B6	B7	B8
符号	位置	名称和描述					
B1	RDS0.7	接收 DS0 通道第8位,最高位					
B2	RDS0.6	接收 DS0 通道第7位					
B3	RDS0.5	接收 DS0 通道第6位					
B4	RDS0.4	接收 DS0 通道第5位					
B5	RDS0.3	接收 DS0 通道第4位					
B6	RDS0.2	接收 DS0 通道第3位					
B7	RDS0.1	接收 DS0 通道第2位					
B8	RDS0.0	接收 DS0 通道第1位,最低位					

通用控制寄存器5 (GCR5)

地址：AAH

表42 通用控制寄存器5 (GCR5)

7	6	5	4	3	2	1	0
LIURST	RESA	XESA	RCHM4	RCHM3	RCHM2	RCHM1	RCHM0
符号	位置	描述					
LIURST	GCR5.7	线接口复位 将该位从0设到1将启动内部的复位,影响时钟恢复状态机和去抖电路.正常情况下该位只在上电时翻转,如果要再复位,必须先将该位清零再设为1.					
RESA	GCR5.6	接收弹存对位 (CS2154中未指定) 该位从0变为1时,强制接收弹存的读写指针调整到半帧长度.如果地址已经相差小于半帧,才进行地址调整.执行该操作是会损伤数据,因此必须在RSCK时钟稳定输入后进行该操作.每次进行操作必须先清零.					
XESA	GCR5.5	发送弹存对位 (CS2154中未指定) 该位从0变为1时,强制发送弹存的读写指针调整到半帧长度.如果地址已经相差小于半帧,才进行地址调整.执行该操作是会损伤数据,因此必须在XSCK时钟稳定输入后进行该操作.每次进行操作必须先清零.					
RCHM4	GCR5.4	接收通道监控第4位 通道解码的最高位.决定哪个接收通道的数据发送到RDS0寄存器.					
RCHM3	GCR5.3	接收通道监控第3位					
RCHM2	GCR5.2	接收通道监控第2位					
RCHM1	GCR5.1	接收通道监控第1位					
RCHM0	GCR5.0	接收通道监控第0位 通道解码的最低位					



## 测试控制寄存器4 (TEST4)

地址：ADH

表43 测试控制寄存器4 (TEST4)

7	6	5	4	3	2	1	0
RRES	G1	G0	-	-	-	-	-
符号	位置	描述					
RRES	TEST4.7	接收匹配电阻选择 1：接收内部200欧姆匹配电阻接通，可以与外部120欧姆电阻并联为75欧姆的匹配电阻； 0：接收高阻态					
G1	TEST4.6	输入处于检测模式时增益控制位 G1G0 = 00, 0dB = 01, 12dB = 10, 30dB = 11, 0dB					
G0	TEST4.5						
-	TEST4.4	必须置0					
-	TEST4.3	必须置0					
-	TEST4.2	必须置0					
-	TEST4.1	必须置0					
-	TEST4.0	必须置0					

## 阻抗匹配

CS21354/CS21554 可以支持接收阻抗匹配内置，通过 RRES (TEST4.7) 来完成 75 欧姆、120 欧姆的匹配电阻软件控制。

## 高阻增益

CS21354/CS21554 可以支持接收阻抗匹配内置，通过 G1 - 0 (TEST4.6 - 5) 完成接收端输入增益软件控制。

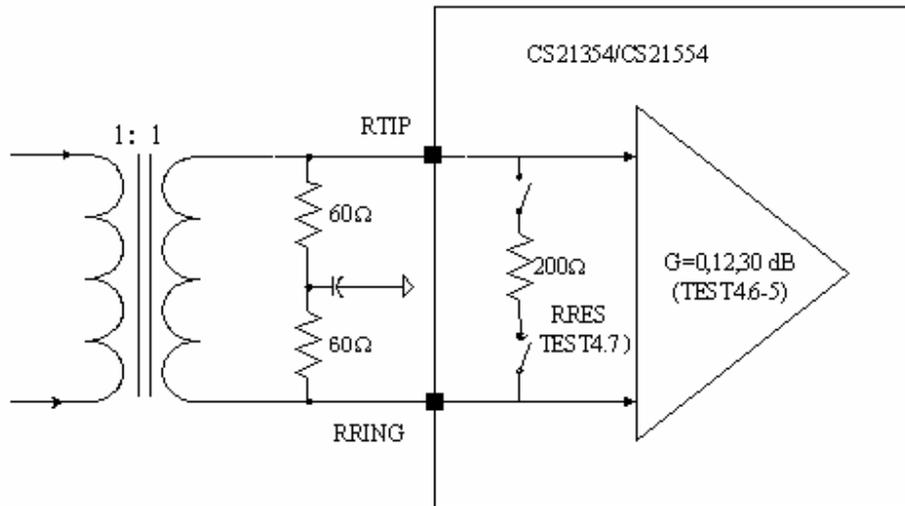


图3 CS21354内部匹配阻抗及接收增益应用原理图

## HDLC控制器

CS21354/CS21554 V1.0暂时不能够支持HDLC功能。在V1.1版本支持该功能。

### 弹存操作

CS21354/CS21554包含两个2帧深度的弹性缓存，一个置于接收侧，一个置于发送侧。弹性缓存主要功能为消除E1数据流与异步2.048MHz背板时钟的频率及相位误差。背板时钟速率在猝发方式下最高可以达到8.192MHz。两个弹存具有完全可控的滑帧处理能力。弹性缓存通过GCR3.4比特可以设置为已知的深度；将GCR3.4比特翻转，可以将读指针和写指针指向2帧深度弹存中不同的帧。CS21354/CS21554内的两个弹性缓存对时钟信号的输入是相互独立和没有约束的。发送端弹存的使能与接收端弹性缓存的使能与否无关；反之亦然。

### 接收侧弹存操作

当GCR2.1=1,接收端弹存使能；此时，必须外加时钟输入RSCK(2.048MHz)。当GCR1.5=1时，在RSYN管脚输入帧/复帧同步，当GCR1.5=0时，输入帧/复帧边界脉冲。当GCR1.6=0时，用户可以获得帧边界脉冲信号；当GCR1.6=1时，用户可以获得复帧边界脉冲信号。

管脚RFSYN输出为帧边界指示信号；当弹存工作时，CAS(GCR1.7=0)模式和CRC4(GCR1.7=1)模式的复帧边界指示为RMFSYN输出。如果512比特的弹性缓存填满或空置，将会发生滑动。当弹性缓存空置时，RSER管脚输出整帧(256比特)重复的数据，STATE1.4及RI.3被置位。如果弹性缓存填满，整帧数据被删除，STATE1.4及RI.4被置位。

### 发送侧弹存操作

操作与接收侧弹性缓存类似。发送侧弹性缓存通过GCR3.7控制，XSCK时钟输入为



2.048MHz，当发送端弹存发生滑帧时XSLIP = 1 ( STATE2.0 = 1 )，而滑帧的是溢出还是读空则由RI1.6和RI1.7指示。

### Sa及Si比特操作

CS21354/CS21554提供3个不同的方法对Sa及Si比特进行操作：

- 利用 RLINK/RCK 及 XLINK/XCK；
- 利用内部寄存器 RAF/RNAF 及 TAF/TNAF；
- 扩展的内部寄存器方法。

### Sa及Si比特操作硬件模式

在接收侧，所有接收到的数据在RLINK管脚输出。通过设置RC2，用户可以控制对应任意的Sa比特位置在RLCK管脚上输出脉冲；用户可以根据此脉冲对Sa比特取样。如果RSYN设置为帧边界的输出，则其可以利用来识别Si比特。

在发送侧，Sa比特可以来自内部TNAF寄存器，也可以来自外部XLINK管脚的输入。通过设置XC2，CS21354/CS21554可以从XLINK管脚获得任意组合的Sa、Si比特。如果用户希望不改变Sa比特，则应编程位从XLINK管脚中获得5个Sa比特，同时将XLINK管脚与XSER管脚连接。通过清零XC1.3比特，Si比特可以从XSER管脚获得。

### JTAG边界扫描结构及测试接口描述

CS21354/CS21554/CS21554 的 IEEE 1149.1 设计支持这些标准的指令集：SAMPLE/PRELOAD, BYPASS以及EXTEST;支持可选的公共指令集包括HIGHZ, CLAMP和IDCODE. 参见图16. CS21354/CS21554/CS21554器件中包含了IEEE 1149.1标准所规定的TAP和BSA.

Test Access Port(TAP)

TAP Controller

Instruction Register

Bypass Register

Boundary Scan Register

Device Identification Register

CS21354/CS21554/CS21554是CS2154的增强版本，对于CS2154的器件引脚进行了后向兼容。JTAG功能的实现用到了在CS2154中未被使用的引脚。当使用JTAG功能时，FMS引脚(PIN76)需要被拉低--用来使能CS21354/CS21554/CS21554的JTAG功能引脚。详细的BSA以及TAP说明请用户参见IEEE 1149.1-1990，IEEE 1149.1a-1993以及IEEE 1149.1b-1994。

JTRST, JTCLK, JTMS, JTDI, JTDO是TAP必须的接口功能引脚。详细的引脚描述请参见Section3.

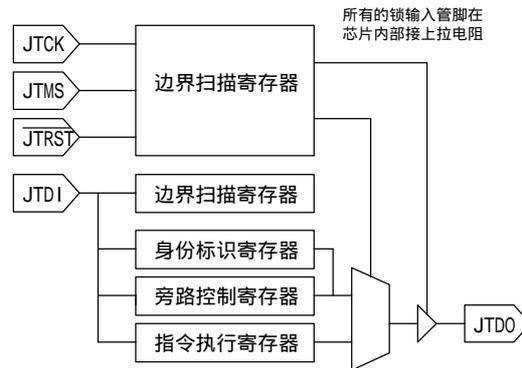


图4 CS21354/CS21554 JTAG边界扫描测试功能框图

### JTAG边界扫描测试过程说明

#### 1. TAP控制器状态机

TAP控制器是一个对JTMS引脚逻辑电平进行响应(在JTCLK的上升沿)的FSM(有限状态机).

#### 2. Test-Logic-Reset(测试逻辑复位)

上电之后,TAP控制器进入Test-Logic-Reset状态.指令寄存器中是IDCODE指令.芯片执行正常的系统功能.

#### 3. Run-Test-Idle

在扫描操作(Scan Operation)和特别测试(Specific Tests)之间,适用Run-Test-Idle模式.指令寄存器和测试寄存器保持空闲状态.

#### 4. Select-DR-Scan

所有的寄存器重新获得它们之前的状态.JTCLK上升沿采样到JTMS低电平时,控制器进入Capture-DR状态,对扫描过程进行初始化;JTCLK上升沿采样到JTMS高电平时,控制器进入Select-DR-Scan状态.

#### 5. Capture-DR

数据被并行装入当前指令所选择的test data register.若指令不要求并行装入或者所选的test data register不可进行并行装入,那么test data register就将保持它当前的值.若JTCLK上升沿采样到JTMS低电平,控制器进入Shift-DR状态;若JTCLK上升沿采样到JTMS高电平,控制器进入Exit1-DR状态.

#### 6. Shift-DR

当前指令所选择的test data register将JTDI引脚和JTDO引脚连接起来,并且,在每个JTCLK的上升沿,向串行输出方向移出一个比特.若当前指令选择的test register不在串行通路上,那么它将维持它之前的状态.

#### 7. Exit1-DR



当处在该状态时,若一个JTCLK上升沿采样到JTMS高电平,则将使控制器进入Update-DR状态,Update-DR状态会终结扫描过程;若一个JTCLK上升沿采样到JTMS低电平,则将使控制器进入Pause-DR状态.

#### 8. Pause-DR

在该状态,test registers停止移位.所有被当前指令选中的test registers维持它们原来的状态.若JTCLK上升沿采样到JTMS低电平,控制器保持Pause-DR状态;若JTCLK上升沿采样到JTMS高电平,则控制器进入Exit2-DR状态.

#### 9. Exit2-DR

在该状态,若一个JTCLK上升沿采样到JTMS高电平,则将使控制器进入Update-DR状态,终结扫描过程;若一个JTCLK上升沿采样到JTMS低电平,将使得控制器进入Shift-DR状态.

#### 10.Update-DR

在该状态下,JTCLK的下降沿将test移位寄存器的值锁存进入data output latches.这使得parallel output不因shift register的变化而变化.

#### 11.Select-IR-Scan

所有的test registers保持它们原有的状态.指令寄存器在该状态下保持不变.JTCLK采样到低电平的JTMS使得控制器进入Capture-IR状态,同时对指令寄存器完成扫描过程初始化;JTCLK采样到高电平的JTMS使得控制器重新进入Test-Logic-Reset状态.

#### 12.Capture-IR

Capture-IR状态用来将shift-register中的固定值装入instruction register(在JTCLK的上升沿装入).若JTCLK上升沿采到JTMS高电平,控制器进入Exit1-IR状态;若JTCLK上升沿采到JTMS低电平,控制器进入Shift-IR状态.

#### 13.Shift-IR

在该状态,指令寄存器的shift register在JTDI和JTDO引脚之间串接,每个JTCLK的上升沿都使得shift register向串出方向移一位.与其它的测试寄存器一样,并行寄存器(the parallel register)保持它们原来的值.若JTCLK上升沿采到JTMS高电平,使控制器进入Exit1-IR状态;若JTCLK上升沿采到JTMS低电平,则控制器保持Shift-IR状态--每个JTCLK的上升沿都使得shift register向串出方向移一位.

#### 14.Exit1-IR

若一个JTCLK上升沿采样到JTMS低电平,则将使控制器进入Pause-IR状态;若一个JTCLK上升沿采样到JTMS高电平,则将使控制器进入Update-IR状态,Update-IR状态会终结扫描过程.

#### 15.Pause-IR

指令寄存器的shift register暂停移位.若JTCLK上升沿采样到JTMS高电平,则控制器进入



Exit2-IR状态;若JTCLK上升沿采样到JTMS低电平,控制器保持Pause-IR状态.

#### 16.Exit2-IR

若一个JTCLK上升沿采样到JTMS低电平,则将使控制器进入Update-IR状态;若一个JTCLK上升沿采样到JTMS高电平,将使得控制器再次返回Shift-IR状态.

#### 17.Update-IR

控制器在该状态,移入指令寄存器的指令在JTCLK的下降沿锁存至并行出口.一旦锁存,那么这个指令就成为了当前指令.若JTCLK上升沿采样到JTMS低电平,则将使控制器进入Run-Test-Idle状态;若JTCLK上升沿采样到JTMS高电平,则控制器进入Select-DR-Scan状态.

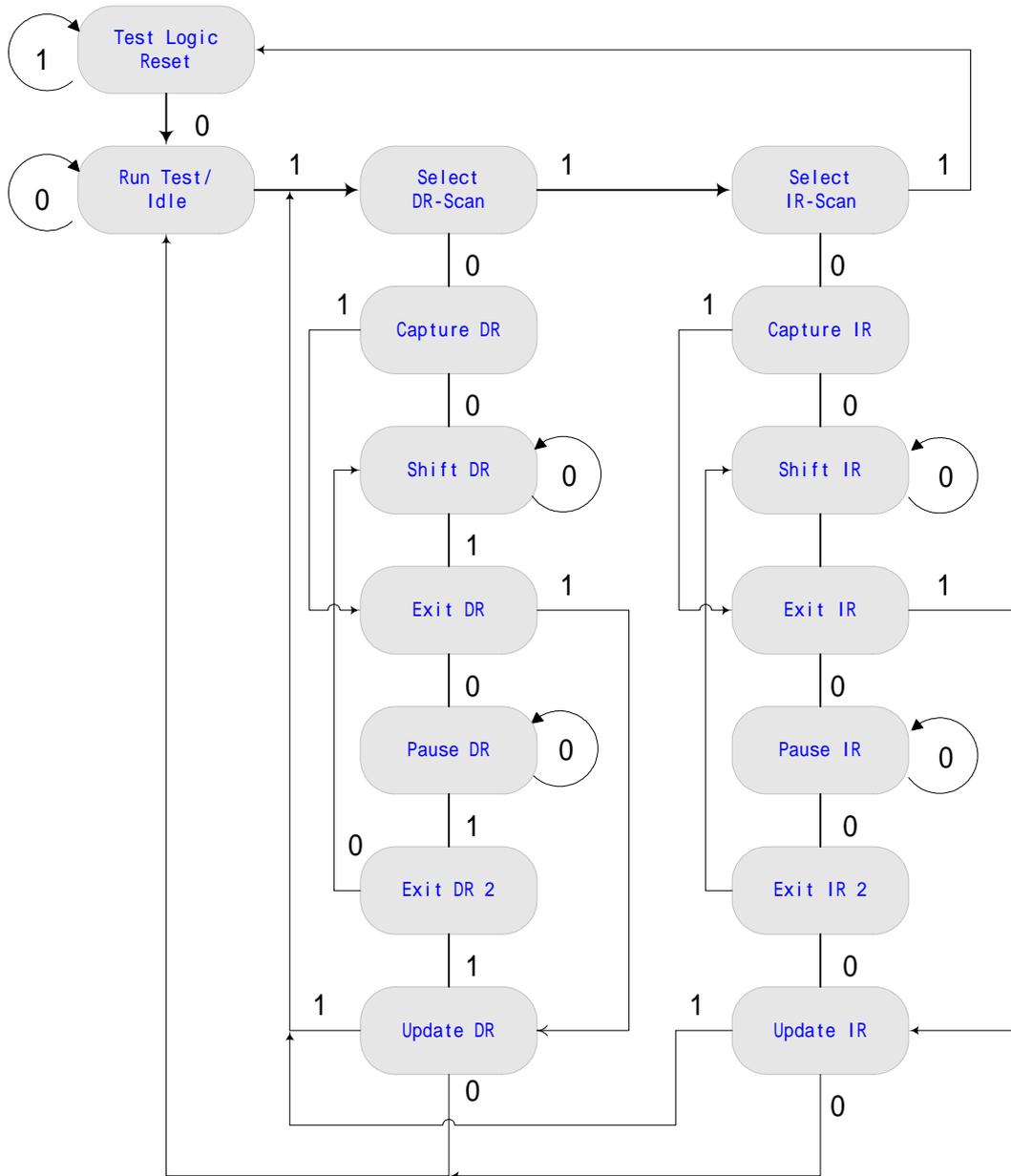


图5 JTAG边界扫描测试流程图

### 总线交织控制寄存器

在一些应用场合，E1 帧处理器接口会汇接成更高速率的串行总线，CS21354/CS21554/CS21554可以选择汇接成4.096MHz或8.192MHz的总线，提高系统的使用率。

进行总线复用时，必须要配置一个CS21354/CS21554为主控芯片，其他为从芯片，请参照IBC寄存器说明来配置芯片。

总线交织有两种模式，一为帧交织，另一为字节交织模式。帧交织模式时，每路分别轮流

发送32时序到总线，且当一路发送完，另一路才开始发送数据。而字节交织模式时，每路轮流发送一个字节（即一个时隙数据）到总线，直到所有数据发送完毕。

字节交织模式工作时，每路可以工作在同步或异步状态下，此时通过弹性缓存（FIFO）来控制数据的滑动，而字帧交织模式时，每路必须同步，此时滑动不允许发生。

两个 CS21354/CS21554/CS21554 可以共享一条 4.096MHz 的总线，4 个 CS21354/CS21554/CS21554可以共享一条8.192MHz的总线，下图是8.192MHz总线共享的实例：

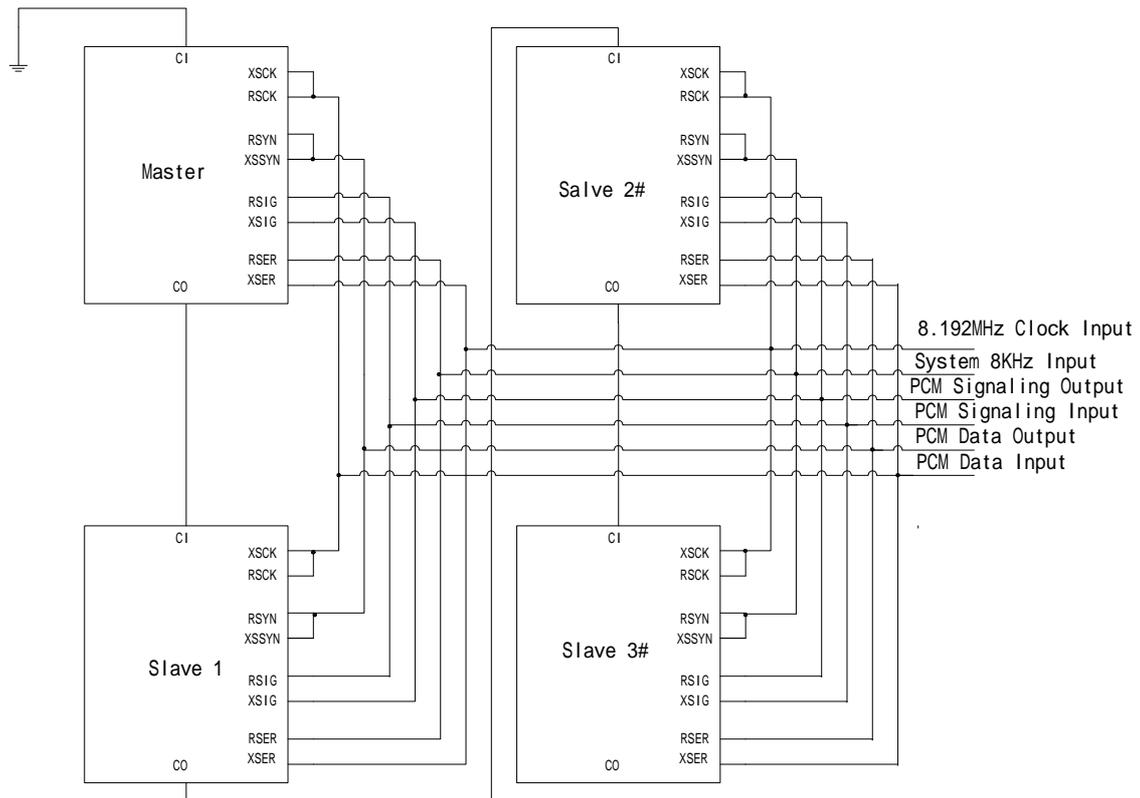


图6 8.192MHz总线共享实例图

### PCM交织总线操作寄存器（IBC）

地址：B5H

表44 PCM交织总线操作寄存器（IBC）

7	6	5	4	3	2	1	0
-	-	-	-	IBOEN	INTSEL	MSEL0	MSEL1
符号	位置	描述					
-	IBC.7	未指定					
-	IBC.6	未指定					
-	IBC.5	未指定					
-	IBC.4	未指定					



	7	6	5	4	3	2	1	0	
IBOEN	IBC.3	PCM交织使能 0 = 禁止 1 = 使能							
INTSEL	IBC.2	PCM交织模式选择 0 = 字节交织 1 = 帧交织							
MSEL0	IBC.1	主控IC选择位0							
MSEL1	IBC.0	主控IC选择位1							
		MSEL1	MSEL0	功能选择					
		0	0	从模式					
		0	1	主模式 + 1个从IC (即4.096MHz总线)					
		1	0	主模式 + 3个从IC (即8.192MHz总线)					
		1	1	保留					

## 6. 线路接口电路功能

CS21354/CS21554的LIU功能包括以下三部分：处理时钟数据恢复的接收端、脉冲成型及E1线缆驱动的发送端、抖动衰减，由线缆接口控制寄存器LIC进行控制。

### 接收端时钟数据恢复

CS21354/CS21554通过变压器与接收端E1屏蔽双绞线或同轴电缆连接，外部2.048MHz (+/- 25ppm) 参考时钟从MCK输入；CS21354/CS21554内部时钟恢复系统，从E1线路中恢复数据和时钟。

RCKO输出的时钟信号是从RTIP和RRNG输入的E1线路信号中提取的时钟信号；当无E1信号输入时，会检测载波丢失并上报报警，此时RCKO的输出与MCK同步。

如果抖动衰减电路置于发送通道或被禁止，RCKO输出的时钟信号的占空比为35%；如果抖动衰减电路置于接收通道，时钟信号占空比为50%。

### 发送脉冲成型

CS21354/CS21554完成脉冲成型，以产生符合ITU G.703规格的E1脉冲。用户通过线路控制寄存器 (LIC) 中的L2/L1/L0比特进来选择需要产生的波形。

表45 E1脉冲波形模板要求

波形参数	75Ω同轴电缆模式	120Ω双绞线模式
标称电压幅度	2.37V	3.0V
标称脉冲宽度	244ns	244ns
无脉冲时电压幅度	0 ± 0.237V	0 ± 0.3V
正负脉冲中心幅度比	0.95~1.05	0.95~1.05
正负脉冲中心宽度比	0.95~1.05	0.95~1.05

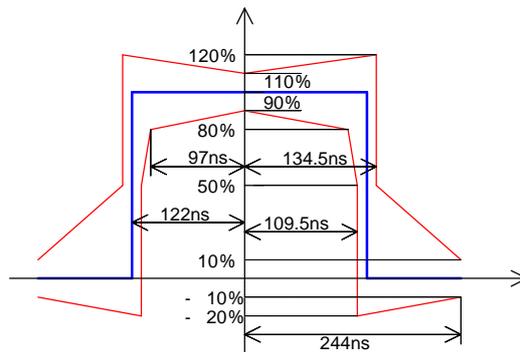


图7 输出波形模板

CS21354/CS21554发送端通过1:1.16或1:1.36的变压器与屏蔽双绞线或同轴电缆连接。  
CS21354/CS21554的发送端有电流限幅功能，最大电流在负载为1欧姆电阻时为50mA。

CS21554外部连接图如下图所示：

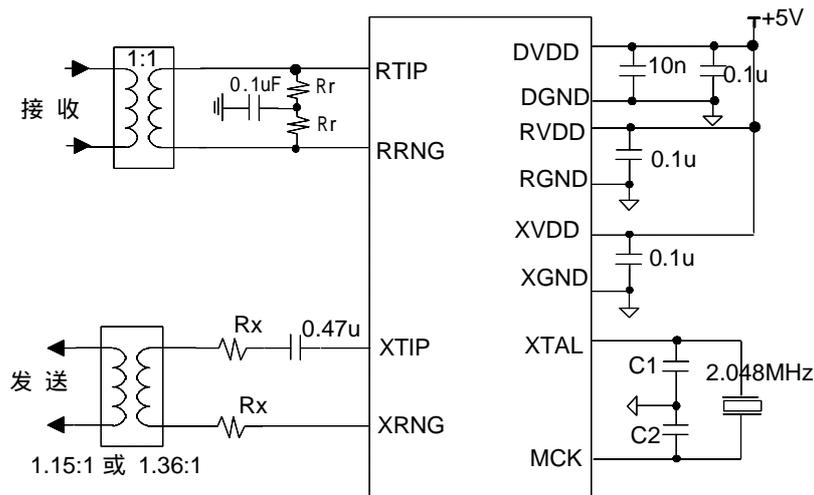


图8 CS21354/CS21554外部连接图

表46 LIC寄存器设置与应用对应表

L2L1L0	应用	变压器	回损	串接电阻Rx
000	普通75 Ω同轴电缆	1:1.15 升压		0
001	普通120 Ω双绞线	1:1.15升压		0
010	发送接保护电阻，75 Ω同轴电缆	1:1.15升压		8.2 Ω
011	发送接保护电阻，120 Ω双绞线	1:1.15升压		8.2 Ω
100	发送回波损耗低，75 Ω同轴电缆	1:1.15升压	21dB	27 Ω
110	发送回波损耗低，75 Ω同轴电缆	1:1.36升压	21dB	18 Ω
100	发送回波损耗低，120 Ω双绞线	1:1.36升压	21dB	27 Ω



L2L1L0	应用	变压器	回损	串接电阻Rx
所有的电阻误差为 $\pm 1\%$				

为了产生正确的波形，推荐使用下列变压器：

Pulse T1136、

Simlink

### 抖动衰减

CS21354/CS21554集成抖动衰减电路，对传输线路的噪声引起的时钟抖动进行衰减，以满足ITU - T相关规范的对E1的频偏容限、抖动转移、抖动容限等要求。通过接口控制寄存器（LIC）来控制抖动衰减电路的工作（详细请见LIC寄存器说明）

为了保证抖动衰减电路能够正确工作，在MCK管脚输入的2.048MHz参考时钟的频偏在 $\pm 50\text{ppm}$ 以内（或者在MCK和XTAL管脚间接入一个晶体振荡器，两个管脚必须有电容接地，保证频偏在 $\pm 50\text{ppm}$ 以内）。

如果输入抖动在FIFO深度设为128时超过120UIpp，或者在FIFO深度设为32时超过28UIpp，即抖动衰减FIFO会发生了滑动，并对RI寄存器的JASLIP位置1。

如果抖动衰减电路置于发送通道，从XCKI管脚输入的时钟可以是带间歇或猝发式时钟。

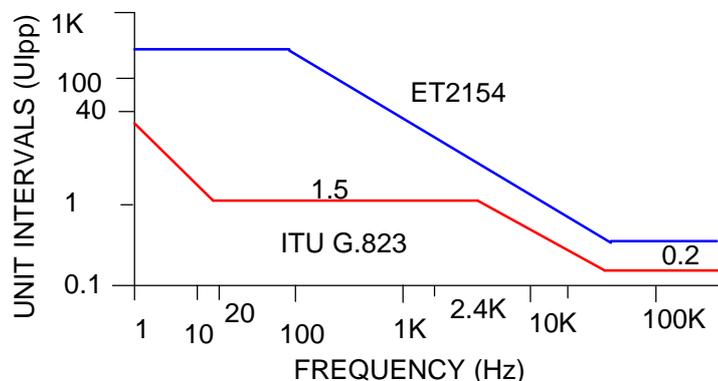


图9 CS21354/CS21554抖动衰减容限

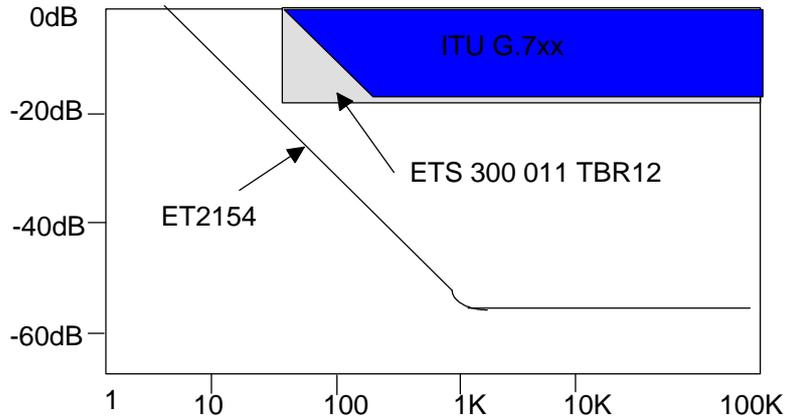


图10 抖动衰减性能

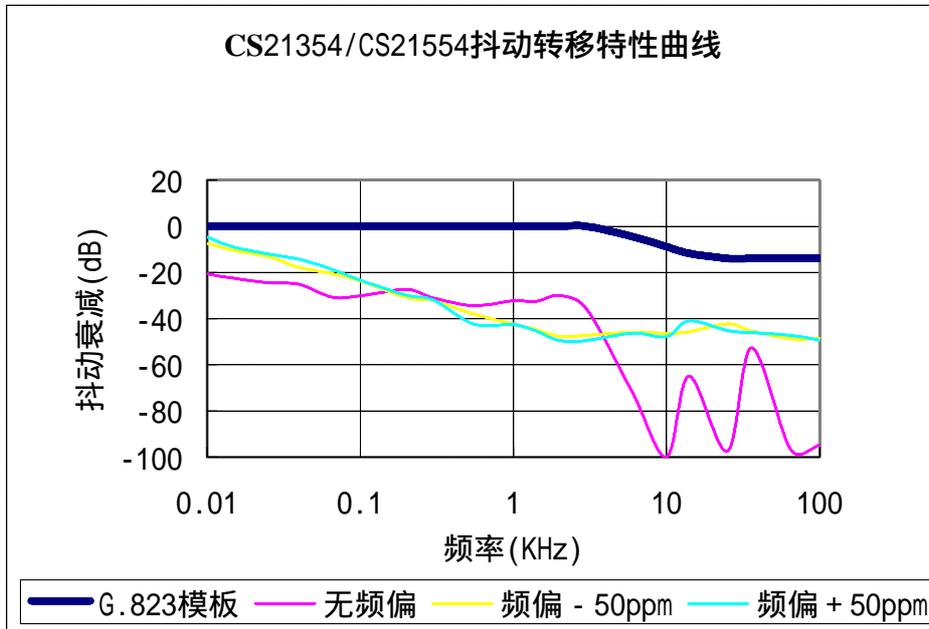


图11 CS21354/CS21554实际参数抖动衰减

## 7. CS21354/CS21554的环回功能描述

### 远端环回 (Remote Loopback)

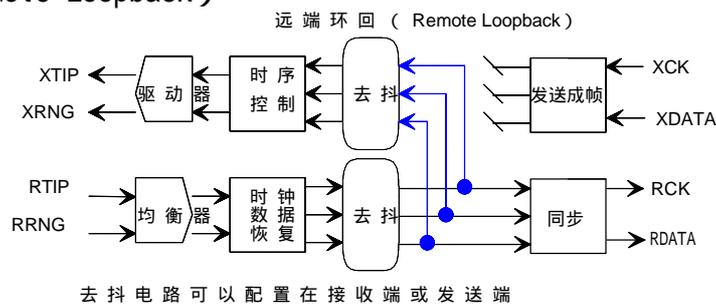


图11 CS21354/CS21554远端环回图

### 帧环回 (Framer Loopback)

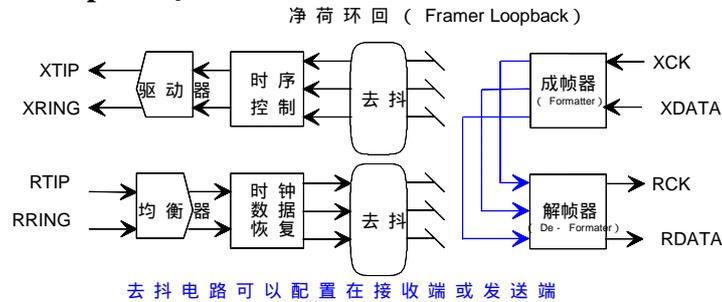


图12 CS21354/CS21554帧环回图

### 数字本地环回 (Local Loopback)

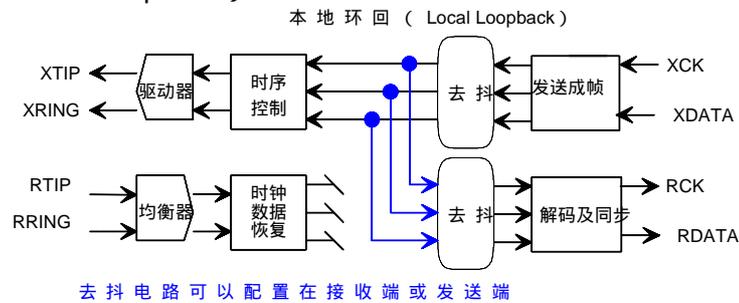
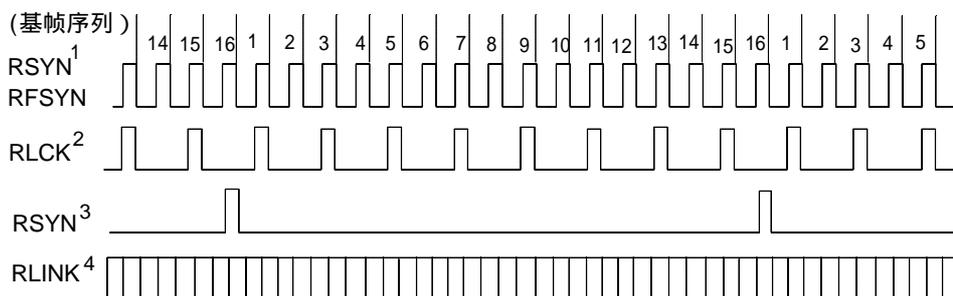


图13 CS21354/CS21554本地环回图

## 8. CS21354/CS21554接口时序

### 接收侧时序图

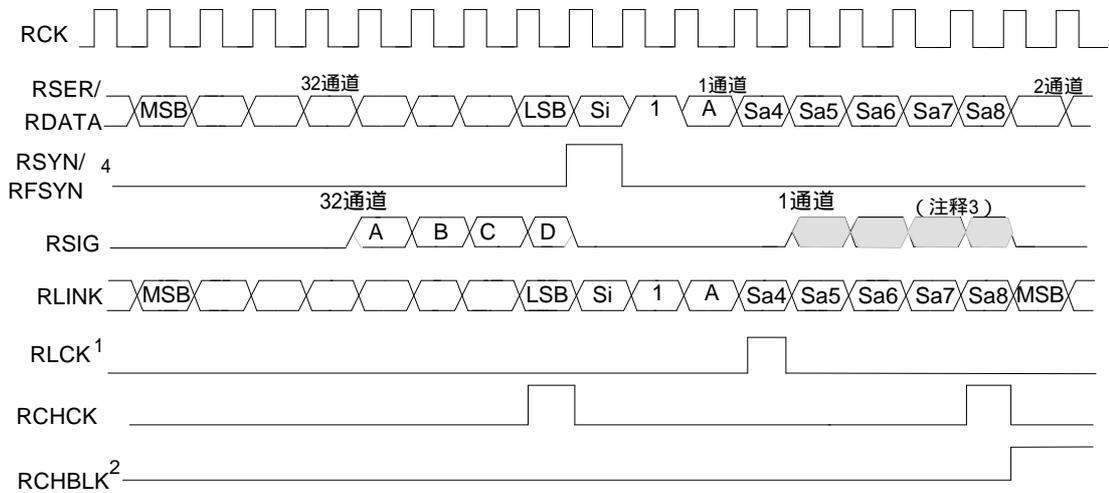
#### 接收端基本时序图



1. RSYN在基帧模式下(RC1.6=0)
2. RLCK在Sa4比特时间设置为脉冲控制为高
3. RSYN在复帧模式下(RC1.6=1)
4. RLINK输出Sa4~8比特及接收到的数据
5. 本时序是ET2154工作在CAS复帧+FAS工作模式时的接收端时序图

图14 接收端时序图

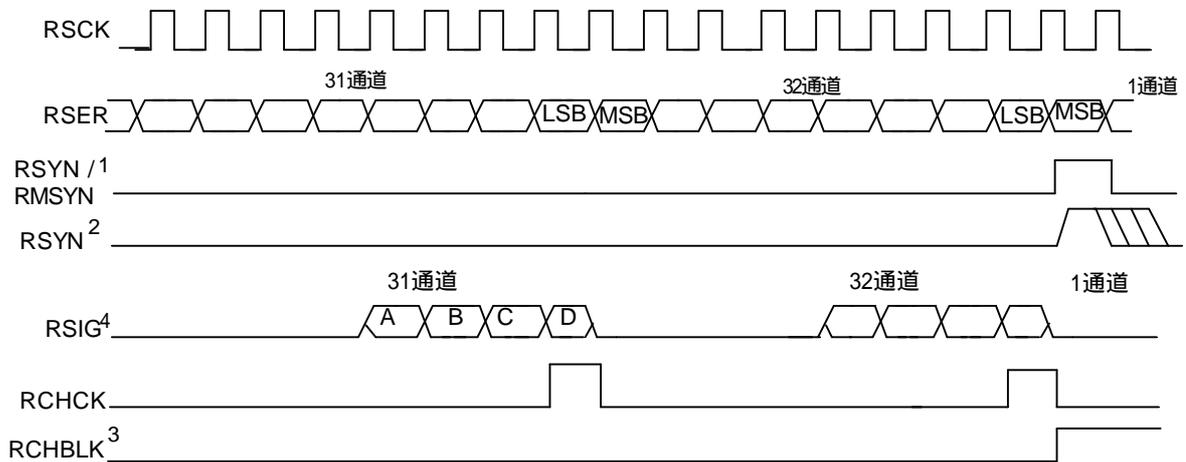
### 接收端边界时序1（接收弹性缓存禁止）



- 注释：1. RLCK设置为在Sa4比特期间为脉冲高  
 2. RCHBLK设置为阻隔通道2  
 3. RSIG一般包括通道1的CAS复帧对位字0000  
 4. 图中为非对位帧边界

图15 接收端边界时序图1（接收侧弹存禁止）

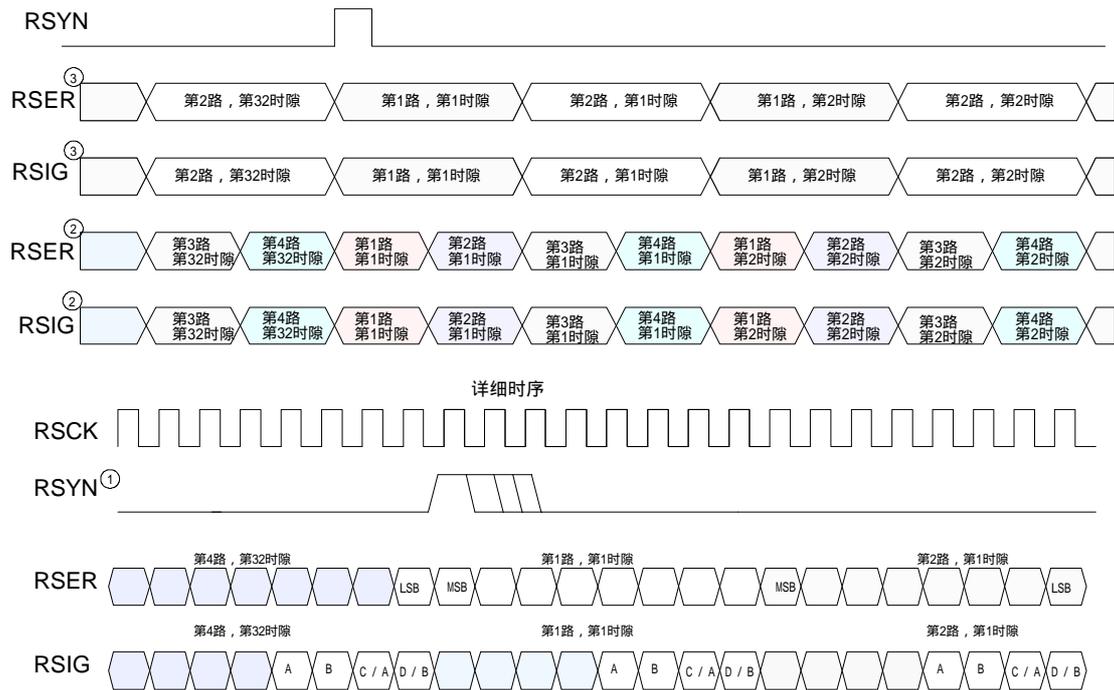
### 接收侧2.048MHz边界时序图2（接收端弹性缓存使能）



- 注释：1. RSYN为输入模式(RC1.5-0)  
 2. RSYN为输出模式(RC1.5-1)  
 3. RCHCK设置为阻隔通道1  
 4. RSIG一般在通道1中包含CAS复帧对位字(0000)

图16 接收端2.048MHz边界时序图(接收侧弹存使能)

### 接收侧总线交织（字节模式，Byte - mode）时序图



- ① RSYN<sub>i</sub>设为输入模式 (RC1.5=1)
- ② 系统时钟是8.192MHz时的总线时序
- ③ 系统时钟是4.096MHz时的总线时序

图17 接收侧总线交织 (字节模式, BYTE - MODE) 时序图

### 接收侧总线交织帧模式 (Frame - mode) 时序图

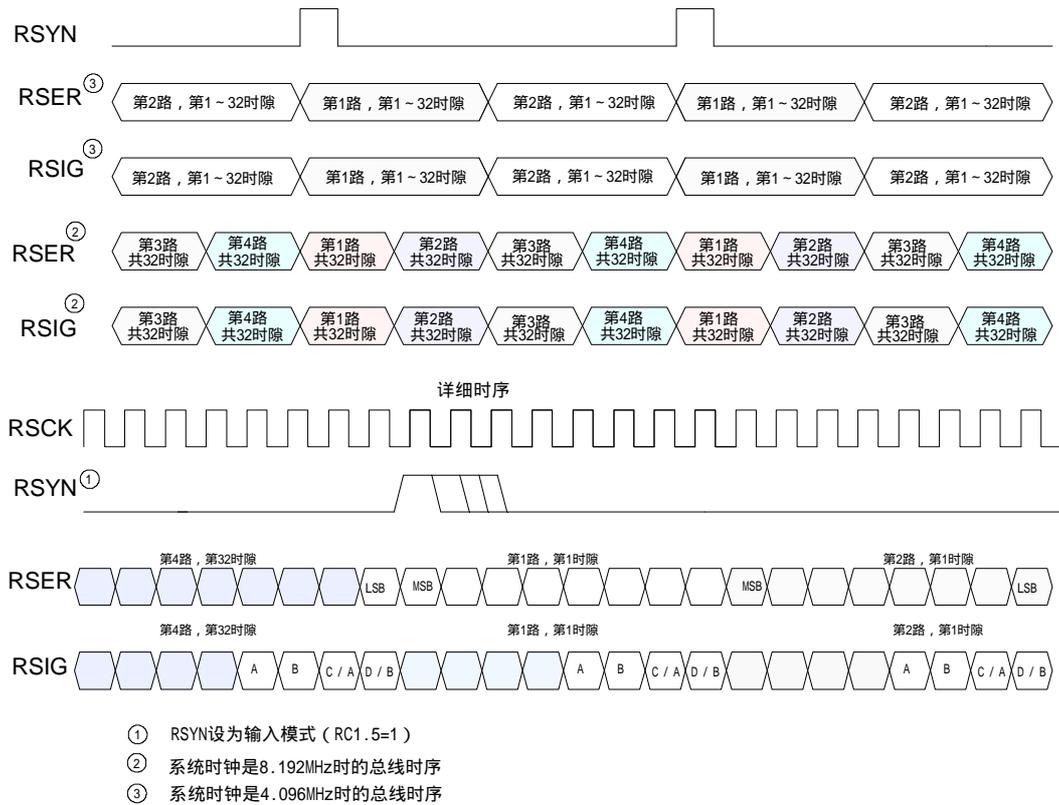


图18 接收侧帧模式 (Frame - mode) 总线交织时序图

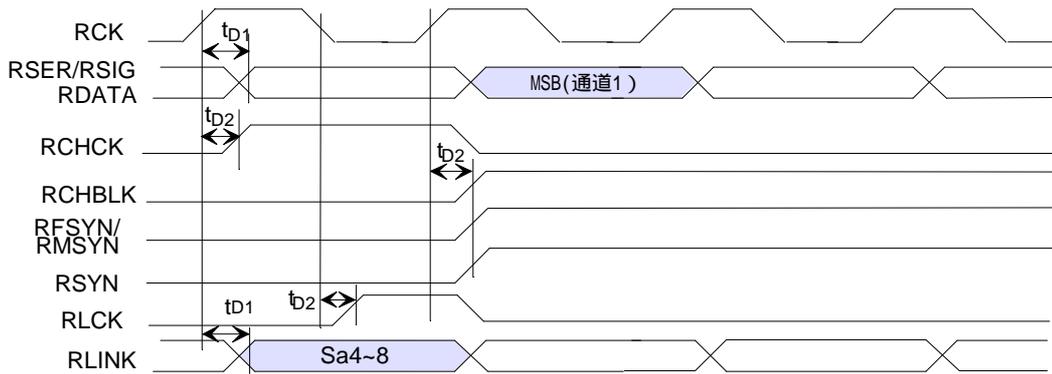
### 接收端接口时序特性

表46 接收端接口时序特性参数

参数	符号	最小	典型	最大	单位	注释
RCKO、RSCK、RCKI时钟周期	$T_{p1}$	122	488		ns	
RCKO、RSCK脉冲宽度	$t_H$	200	244	$T_{p1} - 200$	ns	1
RCKI低电平脉冲宽度	$t_{L1}$	75		$T_{p1} - 75$	ns	
RSCK低电平脉冲宽度	$t_{L2}$	50		$T_{p1} - 50$	ns	
RSYN相对RSCK下降沿的建立时间	$t_{Set1}$	20		$t_{SH} - 5$	ns	
RSYN脉冲宽度	$T_{P2}$	50			ns	
RDPI/RDNI相对RCKI下降沿的建立时间	$t_{Set2}$	20			ns	
RDPI/RDNI相对RCKI下降沿的保持时间	$t_{hold1}$	20			ns	
RSCK/RCKI 上升、下降时间	$t_r, t_f$			25	ns	
RDPO, RDNO 有效与RCKO的延迟时间	$t_{D1}$			50	ns	
RSER, RDATA, RSIG, RLINK有效与RCK的延迟时间	$t_{D2}$			50	ns	
RCHCK, RSYN, RCHBLK, RFSYN, RLCK与RCK的延迟时间	$t_{D2}$			50	ns	

参数	符号	最小	典型	最大	单位	注释
RSER,RSIG有效与RSCK的延迟时间	$t_{D4}$			50	ns	
RCHCK,RCHBLK, RMSYN,RSYN与RSCK的延迟时间	$t_{D6}$			50	ns	
1. 在接收通道抖动衰减使能 2. 抖动衰减禁止或在发送通道抖动衰减使能 3. RSCK=2.048MHz						

### 接收端管脚时序



- 注释： 1. RSYN为输出模式  
 2. RLCK仅在Sa比特期间为高（RC2中定义），RLCK、RSYN和RFSYN之间无关系

图19 接收端详细时序图

### 接收端系统接口详细时序图

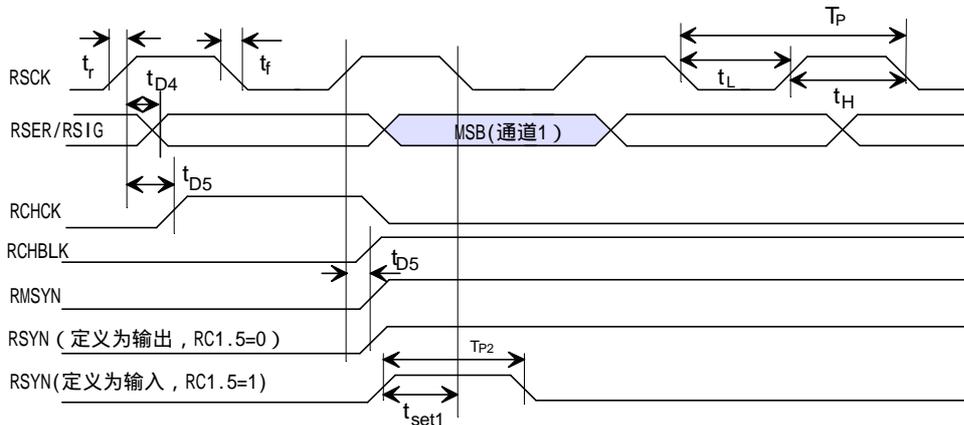
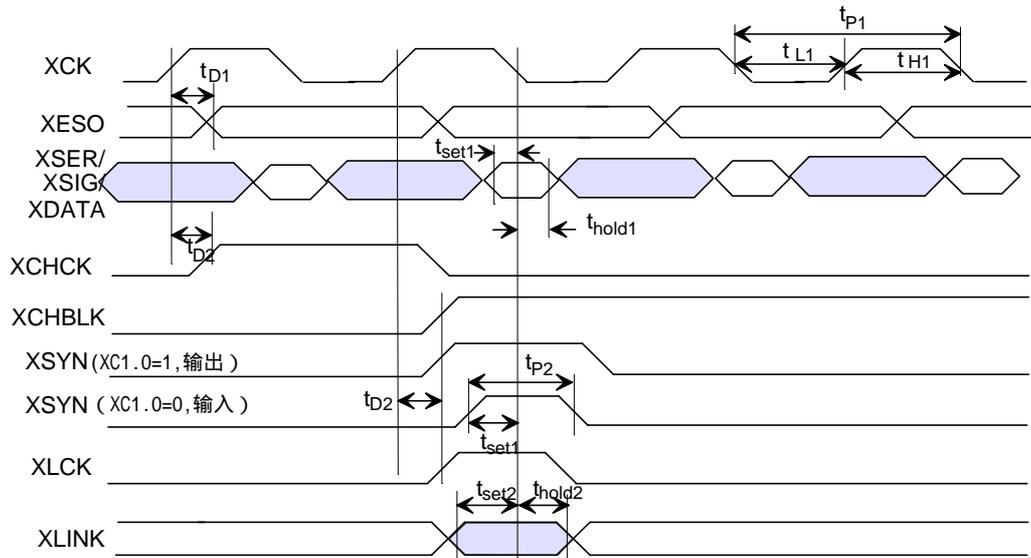


图20 接收端系统接口详细时序图

### 接收端LIU接口时序





- 注释： 1. 当发送端弹性缓存禁止时，XSER在XCK下降沿被采样  
 2. 当发送端弹性缓存禁止时，XCHCK与XCHBLK和XCK同步  
 3. XLINK仅在Sa比特期间被采样（参照XC2定义），XCK、XLINK和XSYN无隐含关系

图23 发送端边界时序1（发送端弹性缓存禁止）

### 发送端2.048MHz边界时序（发送弹性缓存使能）

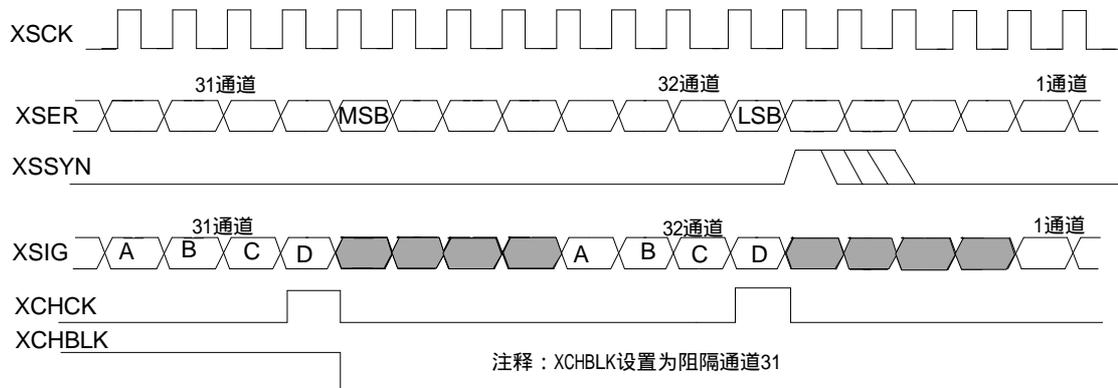


图24 发送端2.048MHz边界时序图（发送弹性缓存使能）

### 发送端字节交织模式（Byte - mode）总线时序图

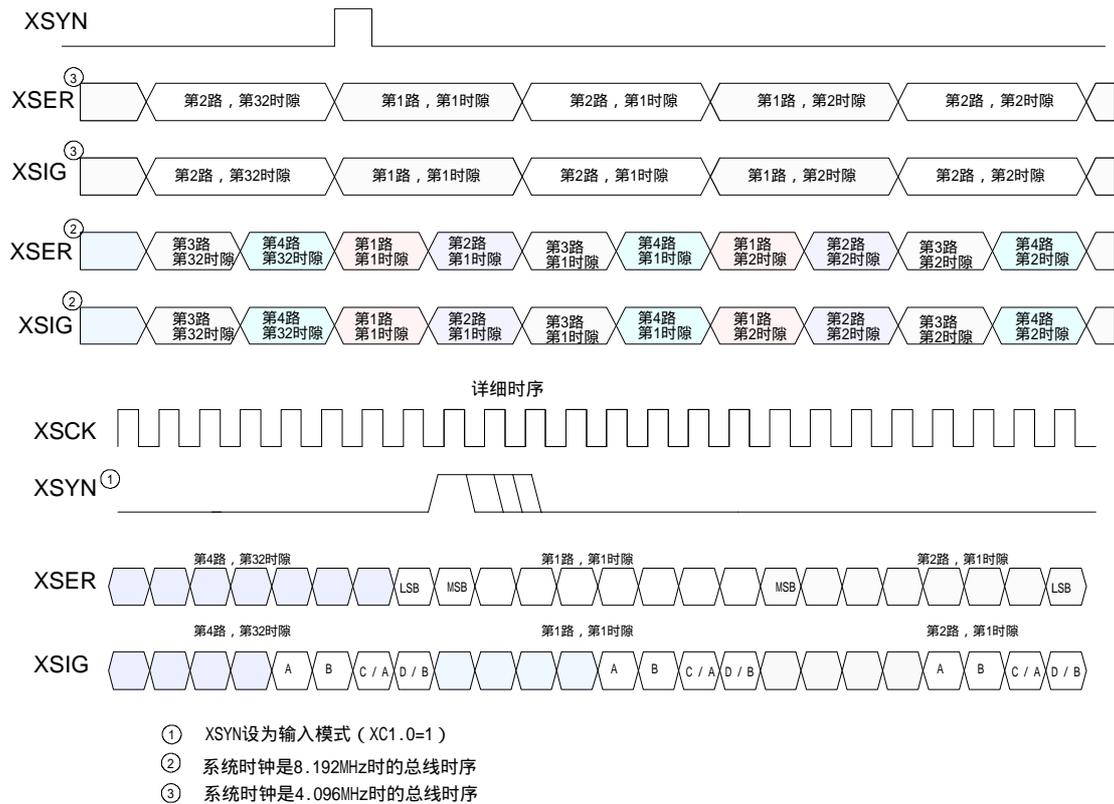
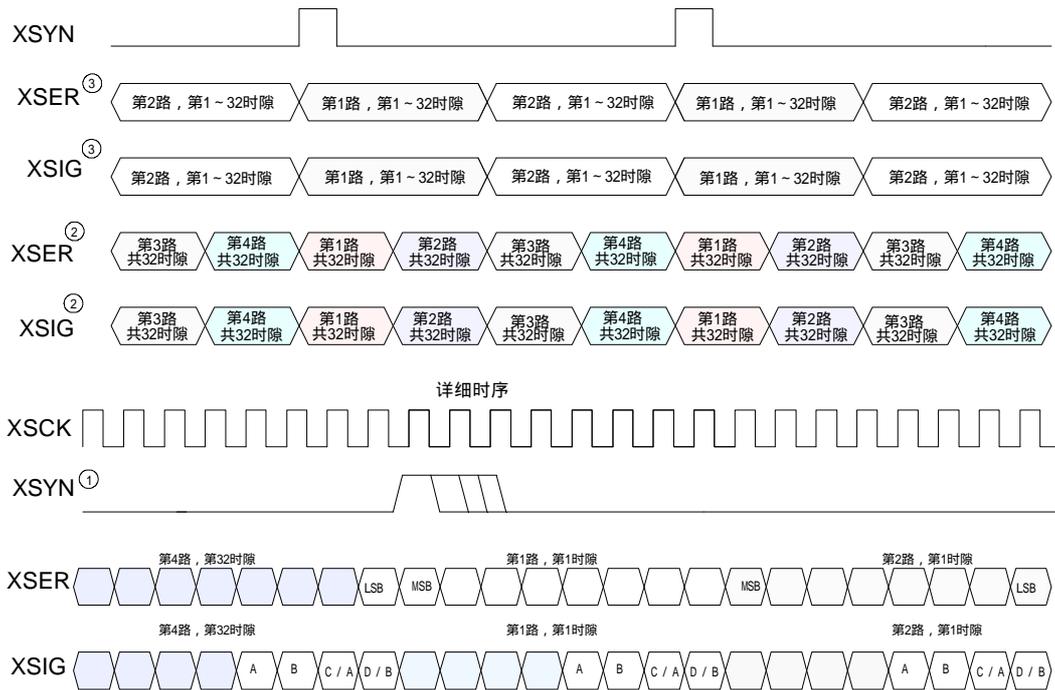


图25 发送端字节交织模式 (Byte - mode) 总线时序图

### 发送端帧交织模式 (Frame - mode) 总线时序图



- ① XSYN设为输入模式 (XC1.0=1)
- ② 系统时钟是8.192MHz时的总线时序
- ③ 系统时钟是4.096MHz时的总线时序

图26 发送端帧交织模式 (Frame - mode) 总线时序图

### CS21354/CS21554工作在G.802模式下的时序图

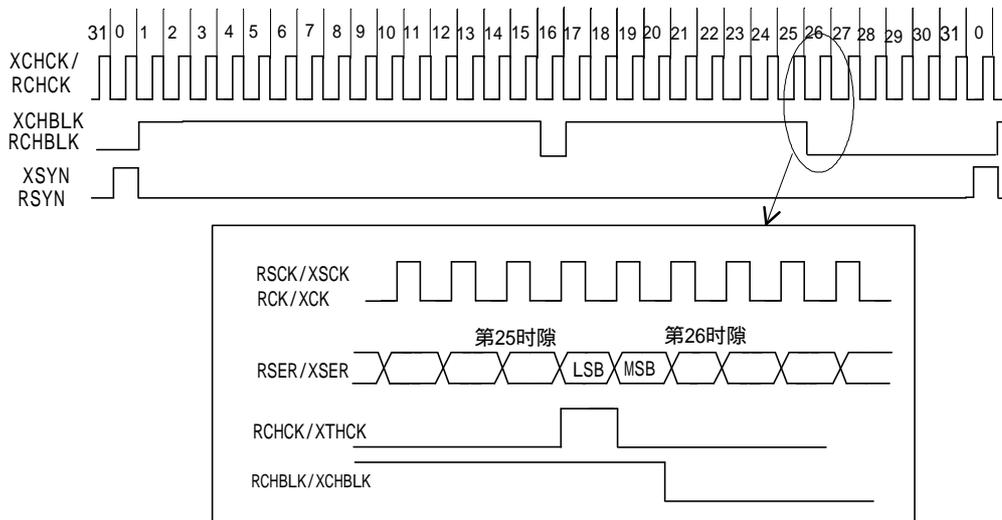


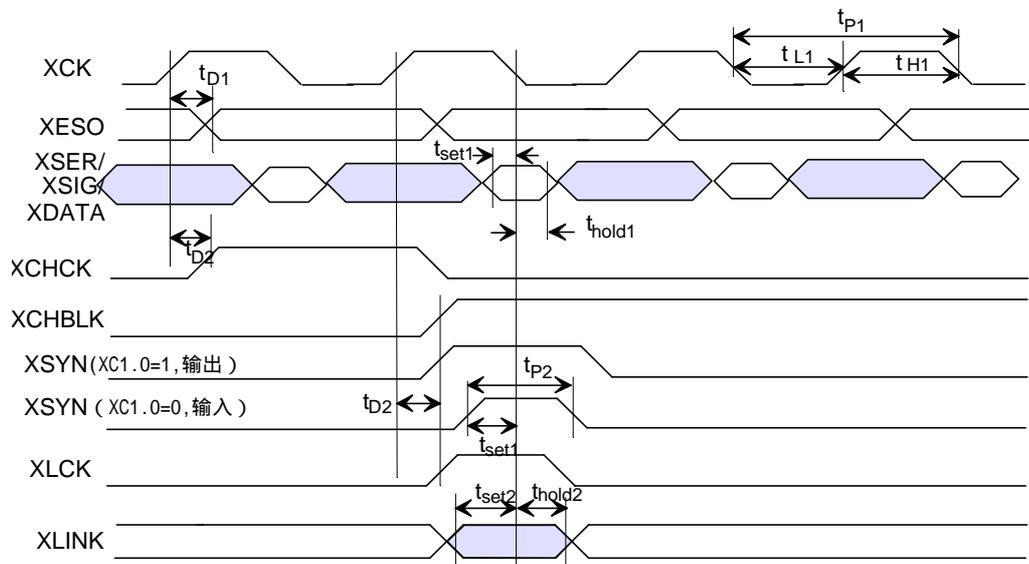
图27 CS21354/CS21554工作在G.802模式时的时序图

### 发送端时序特性参数及时序图

表47 发送端时序特性参数表

参数	符号	最小	典型	最大	单位
XCK、XSCK、XCKI时钟周期	$T_{p1}$		488		ns
XCK、XCKI高（低）电平宽度	$t_{h1}(t_{l1})$	75		$T_{p1}-75$	ns ns
XCK、XCKI、XSCK上升或下降时间	$t_r(t_f)$			25	ns
XSCK 高（低）电平宽度	$t_{h2}(t_{l2})$	50		$T_{p1}-50$	ns
XSYN、XSSYN相对XCK(XSCK)下降沿的建立时间	$t_{set1}$	20		$t_{h1}-5$ 或 $t_{SH}-5$	ns
XSYN、XSSYN脉冲宽度	$t_{p2}$	50			ns
XSER, XSIG, XDATA, XLINK, XDPI, XDNI 相对XCK,XSCK, XCKI 下降沿的建立时间	$t_{set2}$	20			ns
XSER, XSIG, XDATA, XLINK, XDPI, XDNI相对XCK, XSCK, XCKI下降沿的保持时间	$t_{hold1}$	20			ns
XDPO, XDNO有效与XCKO的延迟时间	$t_{d1}$			50	ns
XCHBLK, XCHCK, XSYN, XLCK与XCK的延迟时间	$t_{d2}$			50	ns
XESO有效与XCK的延迟时间	$t_{d1}$			50	ns
XCHCK, XCHBLK与XSCK的延迟时间	$t_{d3}$			75	ns

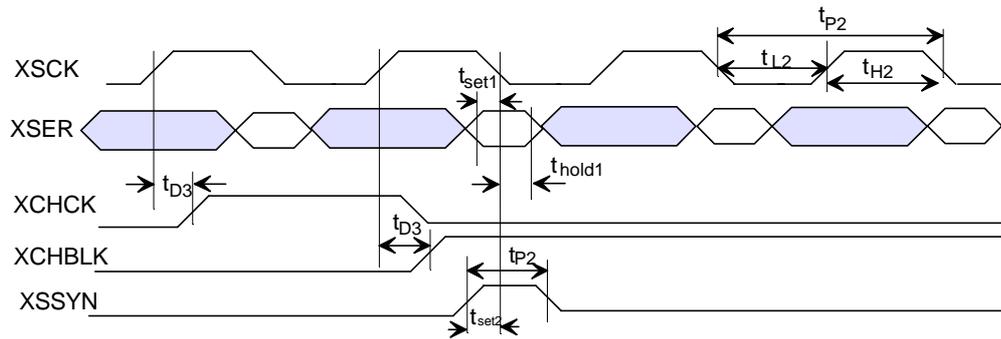
### 发送端详细时序



- 注释： 1. 当发送端弹性缓存禁止时，XSER在XCK下降沿被采样  
 2. 当发送端弹性缓存禁止时，XCHCK与XCHBLK和XCK同步  
 3. XLINK仅在Sa比特期间被采样（参照XC2定义），XCK、XLINK和XSYN无隐含关系

图28 发送端详细基本时序

### 发送端系统接口时序



注释：1. 当发送端弹性缓存使能时，XSER在XSCCK下降沿被采样，且XCHCK与XCHBLK和XSCCK同步

图29 发送端系统接口详细时序

### 发送端线路接口时序

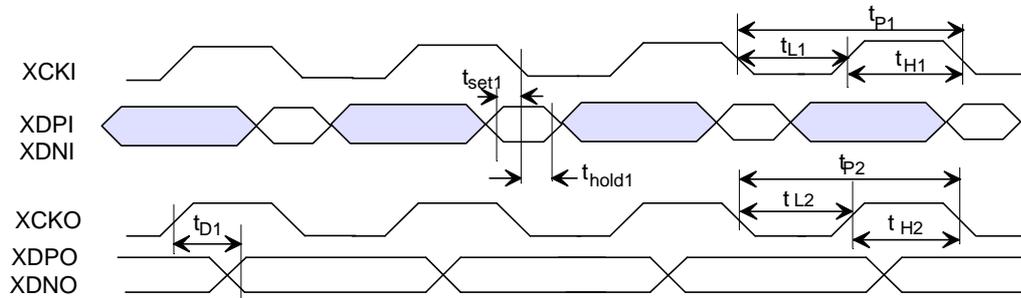


图30 发送端LIU接口时序

### CPU接口时序特性及时序图

#### 数据、地址总线复用接口特性及时序图

表48 数据、地址总线复用接口时序参数表

参数	符号	最小	典型	最大	单位
周期	$T_w$	200			ns
DS低电平或RD高电平脉冲宽度	$t_{pWL}$	100			ns
DS高电平或RD低电平脉冲宽度	$t_{pWH}$	100			ns
输入上升、下降时间	$t_r, t_f$			20	ns
R/W保持时间	$t_{hold1}$	10			ns
R/W在DS为高的建立时间	$t_{set1}$	50			ns
CS在DS、WR 或RD有效前的建立时间	$t_{set2}$	20			ns
CS 保持时间	$t_{hold2}$	0			ns
读数据保持时间	$t_{Rhold}$	10		50	ns
写数据保持时间	$t_{Whold}$	0			ns
复用地址有效 , AS or ALE fall	$t_{ASet}$	15			ns
复用地址保持时间	$t_{Ahold}$	10			ns
延迟时间 DS,WR or RD to AS or ALE rise	$t_{ASD}$	20			ns
AS 、ALE高电平脉冲宽度	$t_{pwa}$	30			ns



AS、ALE与DS、WR、RD的延迟时间	$t_{d1}$	10			ns
输出数据与DS或RD的延迟时间	$t_{d2}$	20		80	ns
数据建立时间	$t_{DSet}$	50			ns

总线复用模式时，INTEL、MOTOROLA读写时序图

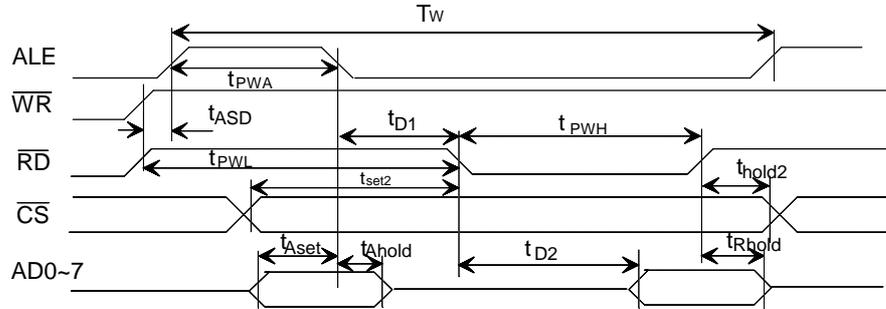


图31 INTEL总线读时序 ( BTS = 0/MUX = 1 )

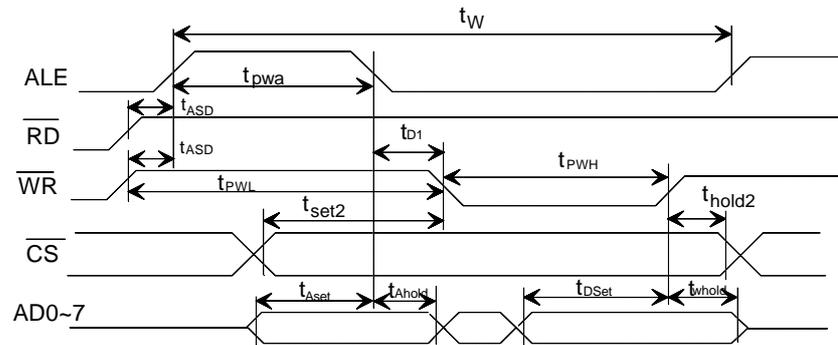


图32 INTEL总线写时序 ( BTS = 0/MUX = 1 )

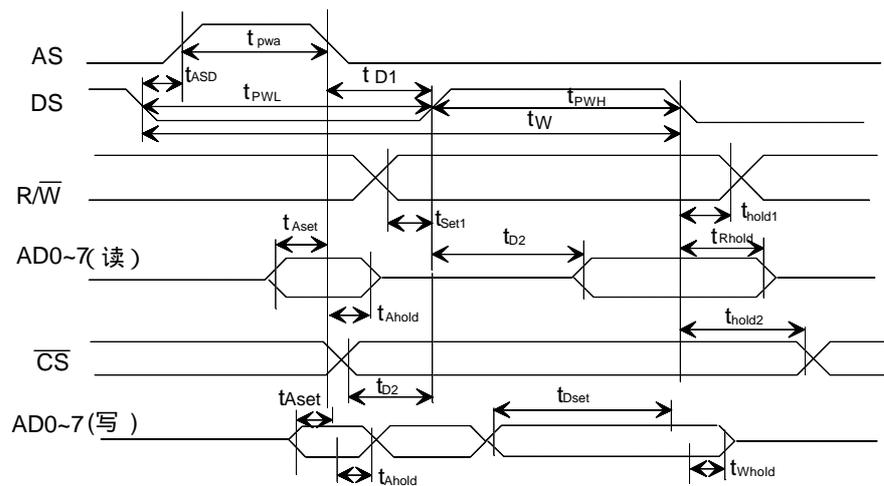


图33 MOTOROLA总线时序 ( BTS = 1/MUX = 1 )

数据总线、地址总线非复用CPU接口时序特性及时序图

表49 数据总线、地址总线非复用CPU接口时序特性参数表

参数	符号	最小	典型	最大	单位
地址信号A0~7有效到CS有效的建立时间	t0	0			ns
RD,WR or DS 有效与CS有效的建立时间	t1	0			ns
数据有效与RD、DS使能的延迟时间	t2			75	ns
RD,WR or DS 无效与CS无效的保持时间	t3	0			ns
CS无效到数据总线3态的保持时间	t4	5		20	ns
WR or DS 使能与数据锁存的等待时间	t5	75			ns
数据与WR or DS无效的建立时间	t6	10			ns
数据与WR or DS无效的保持时间	t7	10			ns
地址与WR or DS无效的保持时间	t8	10			ns

数据总线、地址总线非复用CPU接口读写时序图

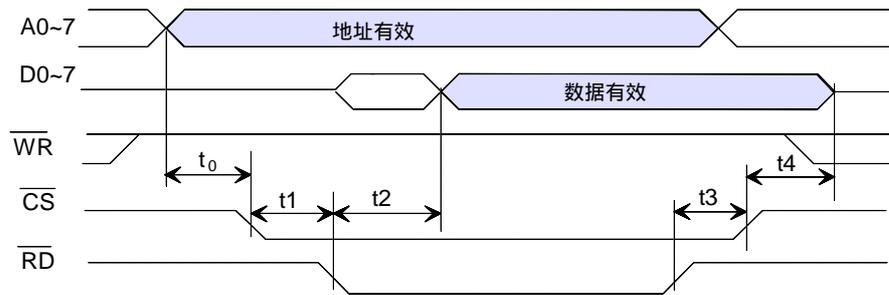


图34 INTEL总线读时序

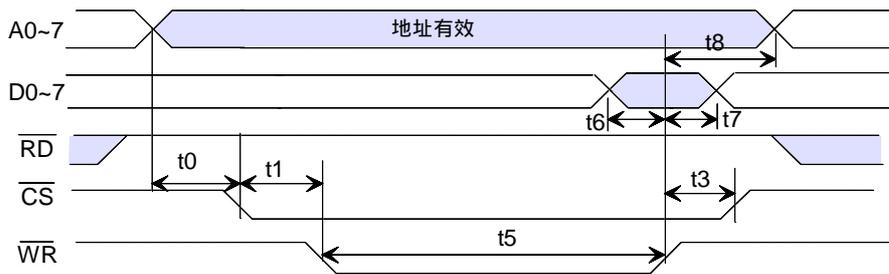


图35 INTEL总线写时序

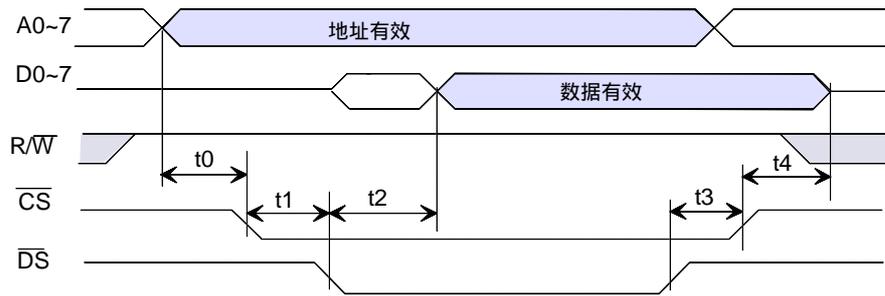


图36 MOTOROLA总线读时序

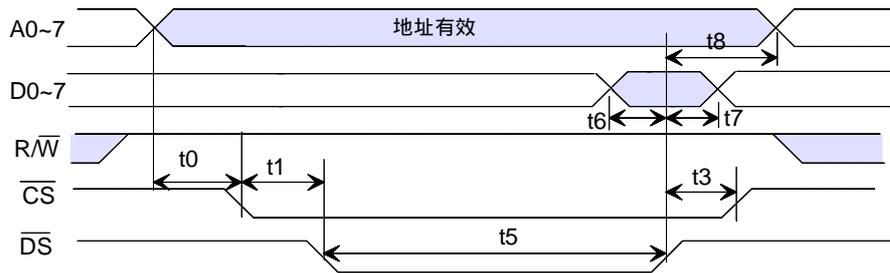


图37 MOTOROLA总线写时序

## 9. CS21354/CS21554的同步搜索流程图

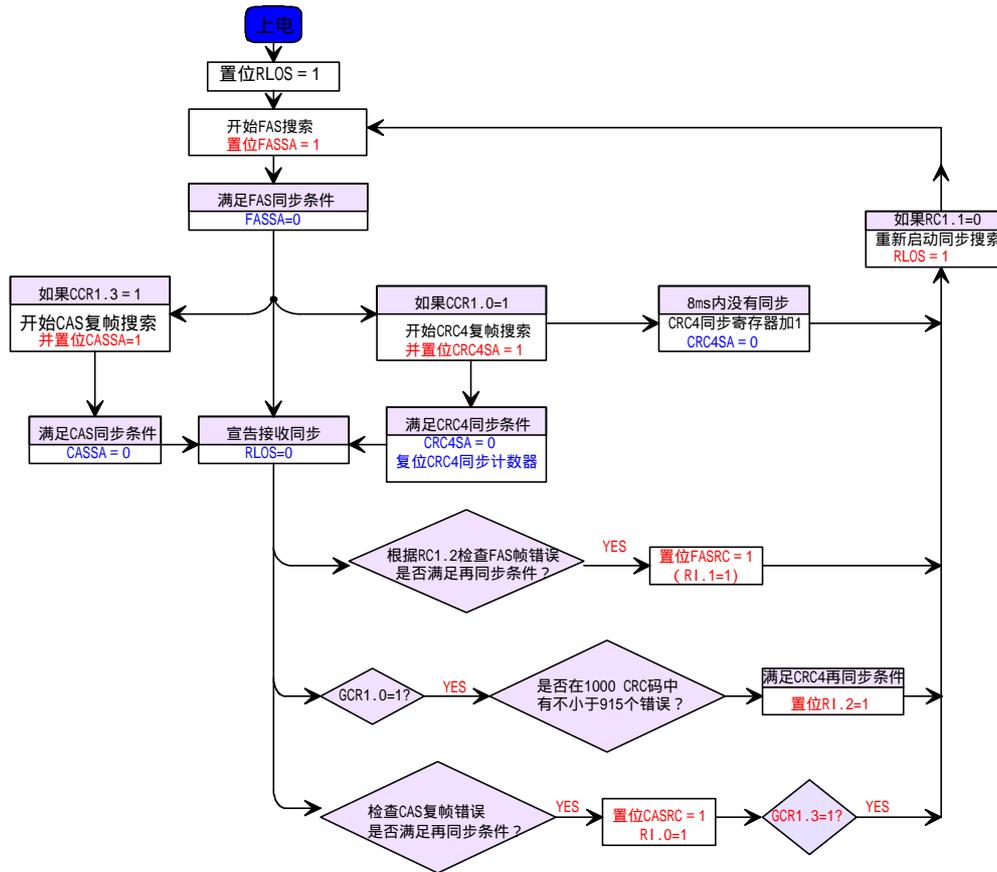


图35 CS21354/CS21554接收同步过程图

## 10. CS21354/CS21554发送成帧流程图

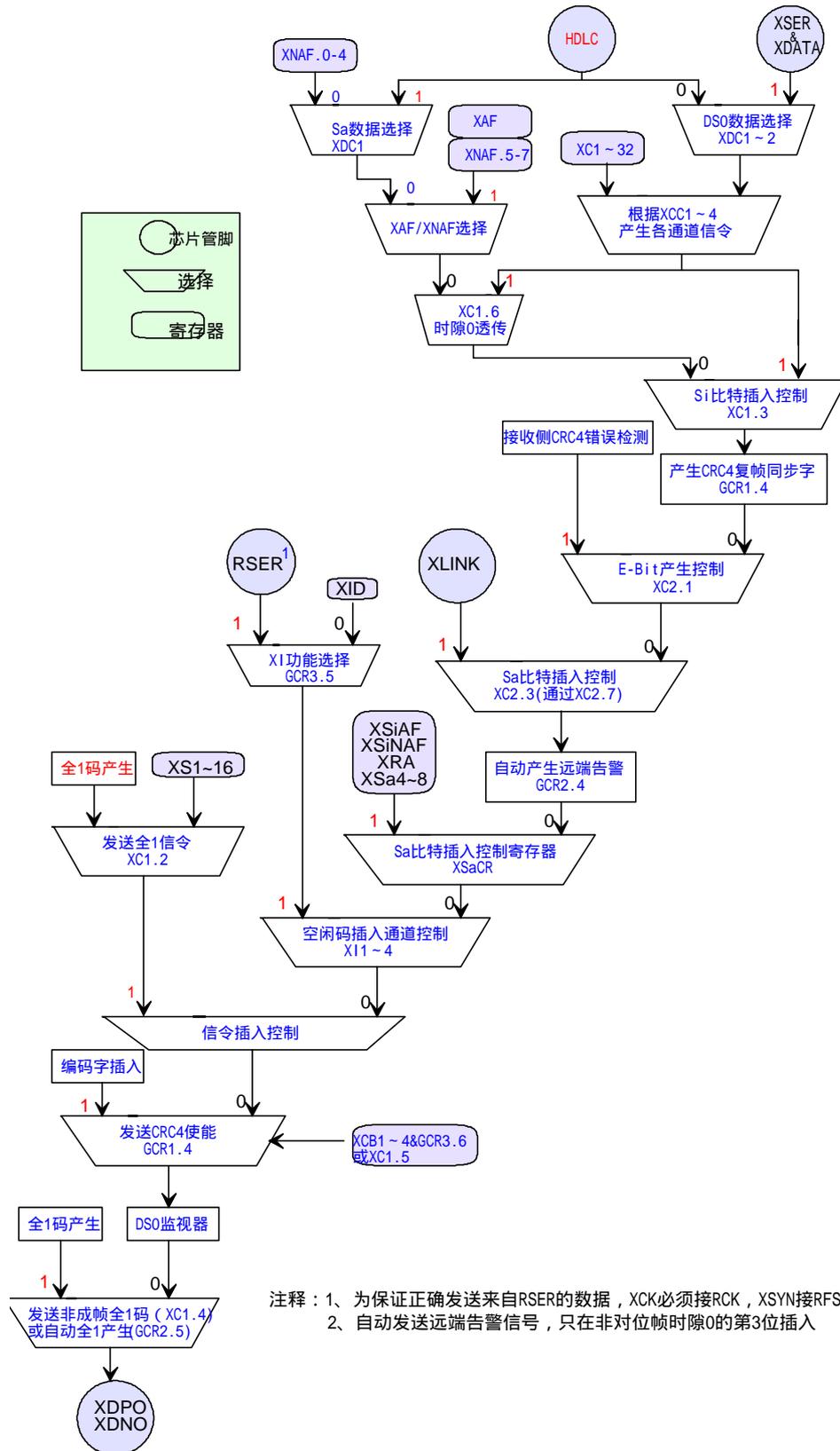


图36 CS21354/CS21554发送数据流程图

## 11. 极限工作条件及电气特性

### 极限工作条件

任意管脚对地电压 : -1.0 ~ +7.0V ( CS21554 ) , -1.0 ~ +4V ( CS21354/CS21554 )

工作温度 ( 工业级 ) : -40 ~ +85

储存温度 : -55 ~ +125

节温 : 150

焊接温度 ( 焊接时间10秒 ) : 260

**注意 :**超出所列的极限参数可能引起CS21354/CS21554的永久性损坏。在极限条件或超出极限条件工作, CS21354/CS21554的技术指标将不能够得到保证, 长时间在极限条件下还会影响CS21354/CS21554的可靠性。

### CS21354/CS21554电气特性

表50 CS21354/CS21554电气特性参数

参数	符号	最小	典型	最大	单位
逻辑1	$V_{IH}$	2.0		VDD+0.3	V
逻辑0	$V_{IL}$	-0.3	0	+0.8	V
电源电压	VDD*	3.0	3.3	3.6	V
输入电容	$C_I$		5		pF
输出电容	$C_O$		8		pF
电源电流 @ 5V	$I_{CC}$		65		mA
输入脚漏电流	$I_{IL}$	-0.8		+0.8	uA
输出脚漏电流	$I_{LO}$			0.8	uA
输出电流@ $V_O=2.4V$	$I_{OH}$	-1.2			mA
输出电流@ $V_O=0.4V$	$I_{OL}$	+4.5			mA

\* : RVDD、XVDD与DVDD的要求是一样。

### CS21554电气特性

表51 CS21554电气特性参数

参数	符号	最小	典型	最大	单位
逻辑1	$V_{IH}$	2.0		VDD+0.3	V
逻辑0	$V_{IL}$	-0.3	0	+0.8	V
电源电压	VDD*	4.75	5.0	5.25	V
输入电容	$C_I$		5		pF
输出电容	$C_O$		8		pF
电源电流 @ 5V	$I_{CC}$		65		mA
输入脚漏电流	$I_{IL}$	-0.8		+0.8	uA



参数	符号	最小	典型	最大	单位
输出脚漏电流	$I_{LO}$			0.8	$\mu A$
输出电流@ $V_O=2.4V$	$I_{OH}$	-1.2			mA
输出电流@ $V_O=0.4V$	$I_{OL}$	+4.5			mA

\*：RVDD、XVDD与DVDD的要求是一样。

### 安全警告

CS21354/CS21554对ESD（静电放电）敏感的器件。在人体、测试设备上的静电荷累积很容易高达4KV，并在没有察觉的情况下被放电。虽然CS21354/CS21554有ESD保护电路，但高能量的静电放电仍可能造成器件的永久性损坏。因此，应该采取静电放电预防措施，避免器件性能下降和失效。

## 12. CS21354/CS21554的封装

CS21354/CS21554采用LQFP-100封装，总尺寸为14mm X 14mm。封装详细尺寸如下

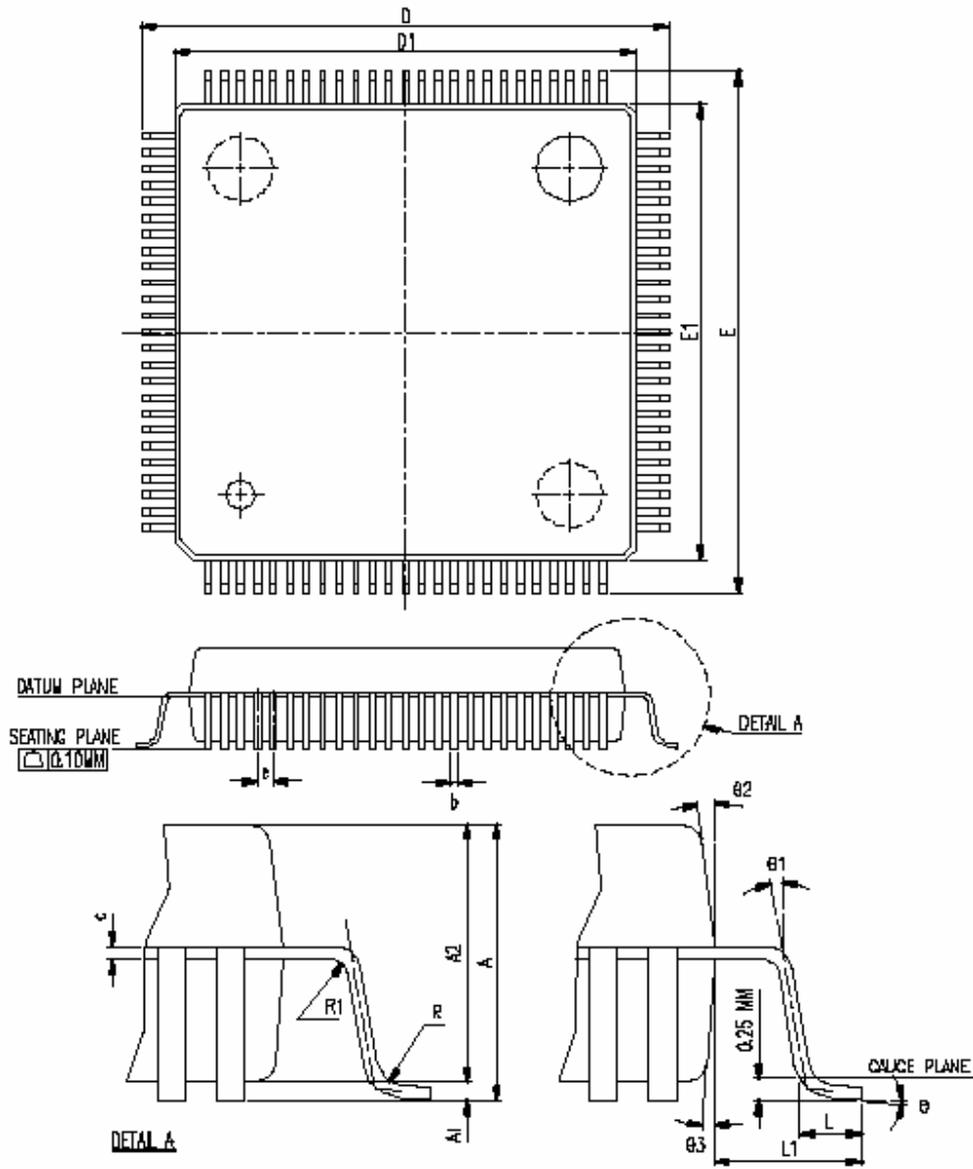


图37 封装尺寸图



SYMBOL	DIMENSION IN MM			DIMENSION IN INCH		
	MIN.	NOM	MAX.	MIN	NOM	MAX
A			1.60			0.063
A1	0.05		0.15	0.001		0.006
A2	1.35	1.40	1.45	0.053	0.055	0.057
b	0.17	0.20	0.23	0.007	0.008	0.009
c	0.09		0.16	0.004		0.006
e	0.50 BASIC			0.020 BASIC		
D	16.00 BASIC			0.630 BASIC		
D1	14.00 BASIC			0.551 BASIC		
E	16.00 BASIC			0.630 BASIC		
E1	14.00 BASIC			0.551 BASIC		
L	0.45	0.60	0.75	0.018	0.024	0.030
L1	1.00 REF.			0.039 REF.		
R1	0.08			0.003		
R	0.08		0.20	0.003		0.008
Ø	0	3.5	7	0	3.5	7
Ø1	0			0		
Ø2	11	12	13	11	12	13
Ø3	11	12	13	11	12	13
JEDEC	MS-026 (BED)					

▲ \*NOTES : DIMENSIONS " D1 " AND " E1 " DO NOT INCLUDE MOLD PROTRUSION. ALLOWABLE PROTRUSION IS 0.25 mm PER SIDE.  
 " D1 AND " E1 " ARE MAXIMUM PLASTIC BODY SIZE DIMENSIONS INCLUDING MOLD



### 13. 附录1：缩略语

HDLC	High Density Link Control
CDR	Clock and data recovery
LIU	Line Interface Unit
JA	Jitter Attenuation
LD	Line Driver
HDB3	High Density Bipolar
AMI	Amplitude
CRC4	
PD	Power Down



附录 2 : CS21354/CS21554 开发板原理图