

Bipolarny cyfrowy układ scalony TTL-S pełni funkcję kontrolera systemu i dwukierunkowego bufora do magistrali danych systemu mikroprocesorowego wykorzystującego jednostkę centralną MCY 7880N.

Układ wytwarza sygnały kontrolne niezbędne do bezpośredniej współpracy jednostki centralnej z pamięciami i układami obsługującymi urządzenia We/Wy.

Sygnały kontrolne tworzą magistralę kontrolną systemu. Są to:

- MEMR** - sygnał kontrolujący czytanie danych z pamięci
- MEMW** - sygnał kontrolujący zapis danych do pamięci
- I/OR** - sygnał kontrolujący wprowadzenie danych z urządzenia We-Wy
- I/OW** - sygnał kontrolujący wyprowadzenie danych do urządzenia We-Wy
- INTA** - sygnał potwierdzenia przyjęcia przerwania przez jednostkę centralną

Sygnały kontrolne wytwarzane są przez bramkowanie słowa stanu procesora, pojawiającego się na magistrali danych na początku każdego cyklu maszynowego mikroprocesora i sygnałów pochodzących z jednostki centralnej /DBIN, WR i HLDA/.

W tabeli 1 przedstawiono wszystkie słowa stanu i odpowiadające im cykle maszynowe oraz sygnały kontrolne generowane przez układ.

Dwukierunkowy bufor do magistrali danych zapewnia separację szyny danych systemu i szyny danych jednostki centralnej, daje dużą obciążalność szyny i podnosi odporność systemu na zakłócenia. Układ ma możliwość automatycznej generacji kodu rozkazowego RST7 na szynie danych jednostki centralnej. Ten rodzaj pracy jest stosowany, jeżeli w systemie występuje tylko jeden podprogram obsługi przerwania. Aby uzyskać automatyczną generację kodu RST7, wyjście układu INTA łączy się poprzez rezystor 1 kΩ ze źródłem napięcia +12 V.

Wersja układu UCY 74S438N charakteryzuje się wcześniejszym pojawieniem się sygnałów kontroli zapisu I/OW i MEMW.

W układzie UCY 74S438N sygnały te pojawiają się w odstępie czasu równym  $t_{DC}$  od zbocza opadającego sygnału STSTB.

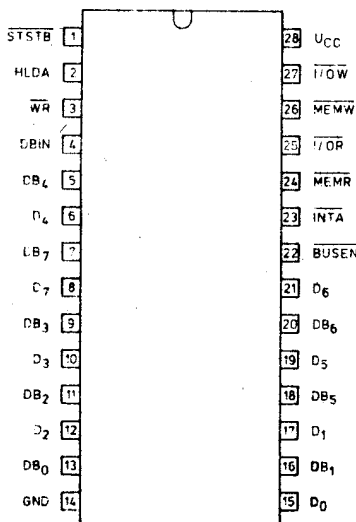
**UCY 74S428N**  
**UCY 74S438N**

Kontroler systemu  
i dwukierunkowy bufor  
dla magistrali danych

MSI TTL-S

Obudowa CE 77

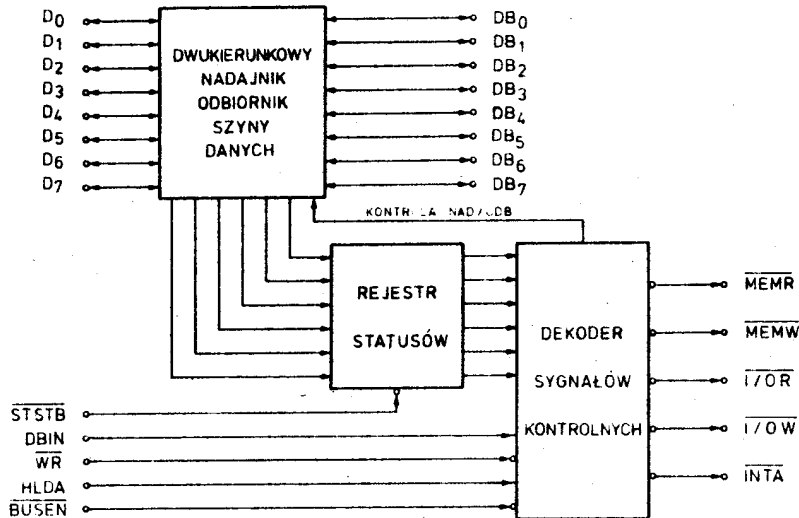
**Układ wyprowadzeń**



**Opis wyprowadzeń**

- D<sub>0</sub> ÷ D<sub>7</sub>** - wejście-wyjście szyny danych od strony jednostki centralnej
- DB<sub>0</sub> ÷ DB<sub>7</sub>** - wejście-wyjście szyny danych od strony systemu
- I/OR** - (wyjście); kontrola czytania danych z we-wy
- I/OW** - (wyjście); kontrola zapisu danych na we-wy
- MEMR** - (wyjście); kontrola czytania z pamięci
- MEMW** - (wyjście); kontrola zapisu do pamięci
- DBIN** - (wejście); sygnał gotowości jednostki centralnej do przyjęcia danych
- INTA** - (wyjście); potwierdzenie przyjęcia przerwania przez jednostkę centralną
- HLDA** - (wejście); potwierdzenie przyjęcia sygnału HOLD przez jednostkę centralną
- WR** - (wejście); sygnał potwierdzający gotowość jednostki centralnej do wystania danych na magistralę systemu
- BUSEN** - (wejście); sygnał ustawiający wyjścia kontrolne i wyjścia DB układu w stan wysokiej impedancji
- STSTB** - (wejście); sygnał strobujujący wewnętrzną pamięć statusów (z układu UCY 74S424N)
- U<sub>CC</sub>** - zasilanie (+5 V)
- GND** - masa (0 V)

Schemat blokowy



Słowa stanu, stany wejść  $D_0 + D_7$ , cykle maszynowe, sygnały kontrolne

Słowo stanu	Stan wejść $D_0 + D_7$								Cykl maszynowy CPU	Sygnał kontrolny generowany
	$D_0$	$D_1$	$D_2$	$D_3$	$D_4$	$D_5$	$D_6$	$D_7$		
1	0	1	0	0	0	1	0	1	Pobranie instr.	$\overline{\text{MEMR}}$
2	0	1	0	0	0	0	0	1	Czytanie z pamięci	$\overline{\text{MEMR}}$
3	0	0	0	0	0	0	0	0	Pisanie do pamięci	$\overline{\text{MEMW}}$
4	0	1	1	0	0	0	0	1	Czytanie stosu	$\overline{\text{MEMR}}$
5	0	0	1	0	0	0	0	0	Pisanie do stosu	$\overline{\text{MEMW}}$
6	0	1	0	0	0	0	1	0	Czytanie z wejścia	$\overline{\text{I/OR}}$
7	0	0	0	0	1	0	0	0	Wyprowadzenie na wyjście	$\overline{\text{I/OW}}$
8	1	1	0	0	0	1	0	0	Potwierdzenie przerwania	$\overline{\text{INTA}}$
9	0	1	0	1	0	0	0	1	Potwierdzenie zatrzymania	/ZADEN/
10	1	1	0	1	0	1	0	0	Potwierdzenie przerwania podczas zatrzymania	$\overline{\text{INTA}}$

### Parametry dopuszczalne

Oznaczenie	Nazwa	Jedn.	Wartość	
			min	max
$U_{CC}$	Napięcie zasilania	V	-0,5	7
$U_I$	Napięcie wejściowe	V	-1,5	7
$I_O$	Prąd wyjściowy	mA		100
$t_{amb}$	Temperatura otoczenia w czasie pracy	$^{\circ}C$	0	+70
$t_{stg}$	Temperatura przechowywania	$^{\circ}C$	-55	+125
$R_{thj-a}$	Rezystancja termiczna szlache-otoczenie	K/W		75
$t_j$	Temperatura szlacha	$^{\circ}C$		+150

### Parametry charakterystyczne statyczne / $U_{CC} = 5 V \pm 5\%$ ; $t_{amb} = 0 + 70^{\circ}C$ /

Oznaczenie	Nazwa	Jedn.	Wartość		Warunki pomiaru
			min	max	
$-I_{IL}^{1/}$	Prąd wejściowy w stanie niskim - dla wejścia: $\overline{STSTB}$	mA		0,5	$U_{CC} = 5,25 V, U_I = 0,45 V$
	- dla wejść: $D_2, D_6$			0,75	
	- dla wejść: $D_0, D_1, D_3, D_4, D_5, D_7$			0,25	
	- dla pozostałych wejść			0,25	
$I_{IH}^{1/}$	Prąd wejściowy w stanie wysokim - dla wejścia: $\overline{STSTB}$	$\mu A$		100	$U_{CC} = 5,25 V, U_I = 5,25 V$
	- dla wejść: $DB_0 + DB_7$			20	
	- dla pozostałych wejść			100	
$-U_{IL}$	Ujemne napięcie wejściowe	V		1	$U_{CC} = 4,75 V, -I_I = 5 mA$
$U_{IL}$	Napięcie wejściowe w stanie niskim	V		0,8	
$U_{IH}$	Napięcie wejściowe w stanie wysokim	V	2		
$U_{OL}^{2/}$	Napięcie wyjściowe w stanie niskim - dla wyjść: $D_0 \div D_7$	V		0,45	$I_{OL} = 2 mA$   $U_{CC} = 4,75 V$ $I_{OL} = 10 mA$
	- dla pozostałych wyjść			0,45	

Ozna- czenie	Nazwa	Jedn.	Wartość		Warunki pomiaru
			min	max	
$U_{OH}^{3/}$	Napięcie wyjściowe w stanie wysokim - dla wyjść: $D_0 - D_7$	V	3,6		$I_{OH} = -10 \mu A$ $I_{OH} = -1 mA$   $U_{CC} = 4,75 V$
	- dla pozostałych wyjść		2,4		
$-I_{OS}^{3/}$	Zwarciový prąd wyjściowy dla wszystkich wyjść	mA	15	90	$U_{CC} = 5 V$
$I_{O\ off}^{4/}$	Prąd wyjściowy w stanie wysokiej impedancji; dla wyjść kontrolnych	$\mu A$		100	$U_O = 5,25 V$ $U_O = 0,45 V$   $U_{CC} = 5,25 V$
				-100	
$I_{INTA}$	Prąd wyjścia $\overline{INTA}$	mA		5	wyjście $\overline{INTA}$ połączyć ze źródłem napięcia +12 V poprzez rezystor 1 k $\Omega$
$I_{CC}$	Prąd zasilania	mA		190	$U_{CC} = 5,25 V$

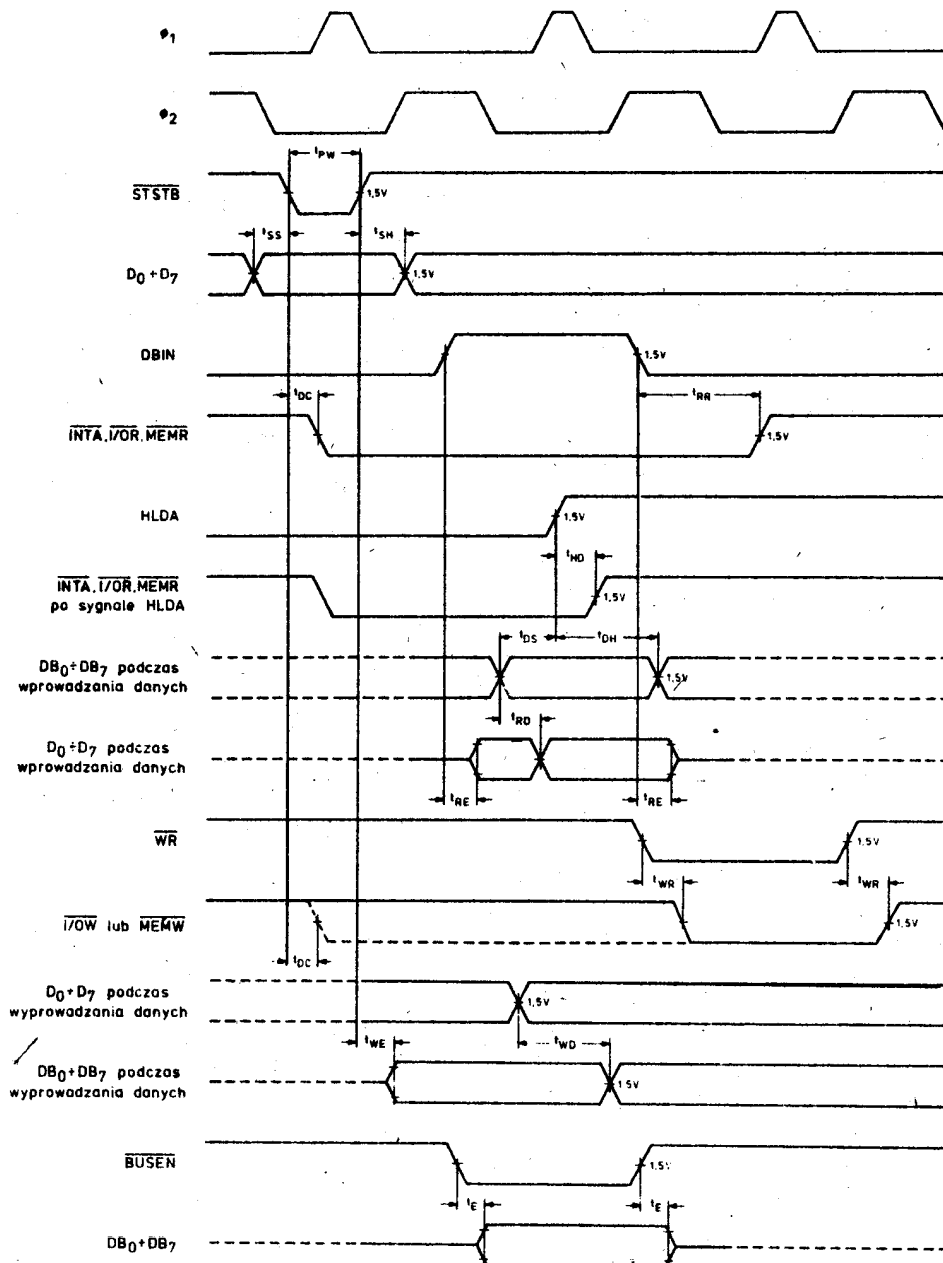
## U w a g i:

- 1/ Dla ustawienia szyny  $D_0 + D_7$  w stan wysokiej impedancji /pomiar prądów wejściowych/ należy podać na wejście  $\overline{DBIN}$  zero logiczne.  
Dla ustawienia szyny  $\overline{DB_0} + \overline{DB_7}$  w stan wysokiej impedancji /pomiar prądów wejściowych/ należy podać na wejście  $\overline{BUSEN}$  jedynekę logiczną.
- 2/ Dla ustawienia zera logicznego na wyjściach kontrolnych:  $\overline{INTA}$ ,  $\overline{I/OR}$ ,  $\overline{MEMR}$  należy na wejścia  $D_0 - D_7$  podać stany logiczne zgodnie z tabelą /str. 160/, na wejścia  $\overline{STSTB}$ ,  $\overline{BUSEN}$ ,  $\overline{HLDA}$  podać stan logiczny zero. Pozostałe wejścia odłączone.  
Dla ustawienia zera logicznego na wyjściach kontrolnych:  $\overline{I/OW}$ ,  $\overline{MEMW}$  należy na wejścia  $D_0 + D_7$  podać stany logiczne zgodnie z tabelą /str. 160/.  
na wejścia  $\overline{STSTB}$ ,  $\overline{BUSEN}$ ,  $\overline{HLDA}$ ,  $\overline{DBIN}$  i  $\overline{WR}$  podać stan logiczny zero.  
Dla ustawienia zera logicznego na wyjściach  $D_0 + D_7$  należy na wejścia  $\overline{DB_0} + \overline{DB_7}$ ,  $\overline{HLDA}$ ,  $\overline{STSTB}$  podać stany logiczne zero, a na wejście  $\overline{DBIN}$  podać stan logiczny jeden.  
Dla ustawienia zera logicznego na wyjściach  $\overline{DB_0} + \overline{DB_7}$  należy na wejścia  $\overline{BUSEN}$ ,  $\overline{HLDA}$ ,  $\overline{DBIN}$ ,  $\overline{STSTB}$   $D_0 + D_7$  podać zero logiczne, a następnie na  $\overline{STSTB}$  jedynekę logiczną.
- 3/ Dla ustawienia jedynki logicznej na wyjściach kontrolnych należy na wejścia  $\overline{STSTB}$ ,  $\overline{BUSEN}$ ,  $\overline{HLDA}$  podać zero logiczne.  
Dla ustawienia jedynki logicznej na wyjściach  $D_0 + D_7$  należy na wejścia  $\overline{DB_0} + \overline{DB_7}$  i  $\overline{DBIN}$  podać stan logiczny jeden, na wejścia  $\overline{HLDA}$ ,  $\overline{STSTB}$  stan logiczny zero.  
Dla ustawienia jedynki logicznej na wyjściach  $\overline{DB_0} + \overline{DB_7}$  należy na wejścia  $\overline{BUSEN}$ ,  $\overline{HLDA}$ ,  $\overline{DBIN}$ ,  $\overline{STSTB}$  oraz  $D_0 - D_7$  podać zero logiczne, następnie na wejście  $\overline{STSTB}$  podać jedynekę logiczną i następnie na wejścia  $D_0 + D_7$  jedynekę logiczną.
- 4/ Dla ustawienia wyjść kontrolnych w stanie wysokiej impedancji należy podać jedynekę logiczną na wejście  $\overline{BUSEN}$ .

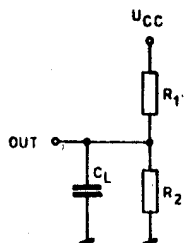
## Parametry charakterystyczne dynamiczne

$/U_{CC} = 5 \text{ V}; t_{amb} = 0 \div +70^{\circ}\text{C}/$

Oznaczenie	Nazwa	Jedn.	Wartość		Warunki pomiaru
			min	max	
$t_{PW}$	Szerokość impulsu $\overline{STSTB}$	ns	22		
$t_{SS}$	Czas ustalania sygnałów $D_0 + D_7$ przed impulsem $\overline{STSTB}$	ns	8		
$t_{SH}$	Czas trzymania sygnałów $D_0 + D_7$ po impulsie $\overline{STSTB}$	ns	5		
$t_{DC}$	Opóźnienie sygnałów kontrolnych względem sygnału $\overline{STSTB}$	ns	20	60	$C_L = 100 \text{ pF}$
$t_{RR}$	Opóźnienie sygnałów kontrolnych względem sygnału $\overline{DBIN}$	ns		30	
$t_{RE}$	Opóźnienie sygnału $\overline{DBIN}$ względem sygnałów $D_0 + D_7$	ns		45	$C_L = 25 \text{ pF}$
$t_{RD}$	Opóźnienie sygnałów $D_0 + D_7$ względem sygnałów $\overline{DB_0} + \overline{DB_7}$ podczas wprowadzania danych	ns		30	
$t_{WR}$	Opóźnienie sygnałów kontrolnych względem sygnału $\overline{WR}$	ns	5	45	$C_L = 100 \text{ pF}$
$t_{WF}$	Opóźnienie sygnałów $\overline{DB_0} + \overline{DB_7}$ względem sygnału $\overline{STSTB}$ podczas wyprowadzania danych	ns		30	
$t_{WD}$	Opóźnienie sygnałów $\overline{DB_0} + \overline{DB_7}$ względem sygnałów $D_0 + D_7$ podczas wyprowadzenia danych	ns	5	40	
$t_E$	Opóźnienie sygnałów $\overline{DB_0} + \overline{DB_7}$ względem sygnału $\overline{BUSEN}$	ns		30	
$t_{HD}$	Opóźnienie sygnałów kontrolnych $\overline{INTA}$ , $\overline{I/OR}$ , $\overline{MEMR}$ względem sygnału $\overline{HLDA}$	ns		25	
$t_{DS}$	Czas ustalania sygnałów $\overline{DB_0} + \overline{DB_7}$ przed sygnałem $\overline{HLDA}$	ns	10		
$t_{DH}$	Czas trzymania sygnałów $\overline{DB_0} + \overline{DB_7}$ po sygnale $\overline{HLDA}$	ns	20		$C_L = 100 \text{ pF}$



Zależności czasowe między sygnałami wejściowymi i wyjściowymi



**Obciążenia wyjść pomiarowych**

Dla wyjść  $D_0 + D_7$   $R_1 = 4 \text{ k}\Omega$ ;  $R_2 = \infty$   
 Pozostałe wyjścia  $R_1 = 500\Omega$ ;  $R_2 = 1 \text{ k}\Omega$